

JP2002246887

Biblio

Page 1

Drawing

esp@cenet

NON-BATTERY NON-OSCILLATOR BINARY TIME CELL AVAILABLE AS TIME MEASURING DEVICE AND RELEVANT PROGRAMMING METHOD AND ITS DEVICE

Patent Number: JP2002246887

Publication date: 2002-08-30

Inventor(s): BERSTIS VIKTORS; PETER JARGEN KULIM; CHAN

Applicant(s): INTERNATL BUSINESS MACH CORP

Requested Patent: JP2002246887

Application: JP20010323335 20011022

Priority Number(s):

IPC Classification: H03K17/284; G04F10/10; H03K17/28

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a simple electronic time measuring device being a time cell together with a relevant method and system and a computer program product.

SOLUTION: A time cell is provided with a program type insulating charge storage element for receiving a static charge through an insulating material, and the charge storage element loses a static charge through the insulating material according to the lapse of time. When the potential of the program type charge storage element is substantially lowered at an already known discharge rate, the potential of the program type charge storage element is observed at a prescribed point of time so that the elapsed time can be decided. Therefore, the time cell is allowed to measure the elapsed time without using any continuous power source. A certain type of cell, that is, a binary time cell is allowed to have the similar form as that of a non-volatile memory cell. It is possible to design or program the time cell so that a specific period to be measured can be selected.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-246887

(P2002-246887A)

(43)公開日 平成14年8月30日 (2002.8.30)

(51)Int.Cl.
H 03 K 17/284
G 04 F 10/10
H 03 K 17/28

識別記号

F I
H 03 K 17/284
G 04 F 10/10
H 03 K 17/28

テマコード(参考)
2 F 0 8 5
5 J 0 5 5
G

審査請求 有 請求項の数50 O L (全 44 頁)

(21)出願番号 特願2001-323335(P2001-323335)
(22)出願日 平成13年10月22日 (2001.10.22)
(31)優先権主張番号 09/703344
(32)優先日 平成12年10月31日 (2000.10.31)
(33)優先権主張国 米国(US)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード
(74)代理人 100086243
弁理士 坂口 博 (外2名)

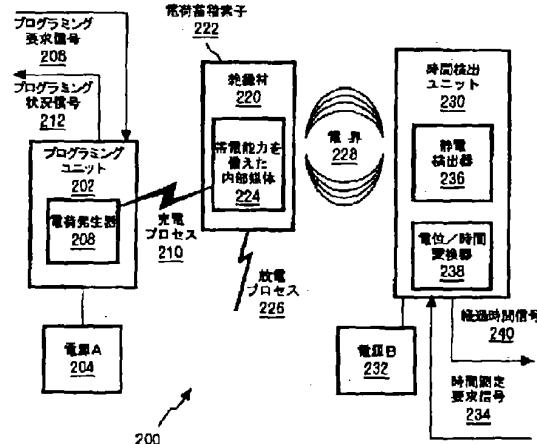
最終頁に統く

(54)【発明の名称】測時装置として使用可能な無電池無発振器2進タイム・セルと、関連プログラミング方法および装置

(57)【要約】(修正有)

【課題】関連の方法、システム、およびコンピュータ・プログラム製品とともに、タイム・セルという単純な電子測時装置を提供すること。

【解決手段】タイム・セルは、その絶縁材を通して静電荷を受け取る、絶縁された電荷蓄積素子を有し、すなわち、それはプログラム式である。次に電荷蓄積素子は、時間の経過につれて、その絶縁材を通して静電荷を失う。プログラム式電荷蓄積素子の電位が実質的に既知の放電率で低下する場合、プログラム式電荷蓄積素子の電位を所与の時点に観測することにより、経過期間を決定することができる。したがって、このタイム・セルは、連続電源なしで経過期間を測定することができる。あるタイプのタイム・セルは2進タイム・セルであり、不揮発性メモリ・セルと同様の形式を有することができる。測定すべき特定の期間を選択するよう、タイム・セルを設計またはプログラミングすることができる。



【特許請求の範囲】

【請求項1】プログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行するタイム・セルと、

前記タイム・セルに接続され、前記タイム・セルの状態の読み取りを可能にするための回路とを含む測時装置。

【請求項2】前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、請求項1に記載の測時装置。

【請求項3】タイム・セルのアレイをさらに含む、請求項1に記載の測時装置。

【請求項4】前記タイム・セルのアレイ内の少なくとも1つのタイム・セルが、前記タイム・セルのアレイ内の他のタイム・セルの所定の期間とは異なる所定の期間を有する、請求項3に記載の測時装置。

【請求項5】前記タイム・セルのアレイ内の少なくとも2つのタイム・セルが、実質的に同一の所定の期間を有する、請求項3に記載の測時装置。

【請求項6】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定することにより前記タイム・セルのアレイを制御するためのタイム・セル・インターフェース・ユニットをさらに含む、請求項3に記載の測時装置。

【請求項7】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するためのプログラミング要求処理ユニットをさらに含む、請求項3に記載の測時装置。

【請求項8】測時装置を使用するための方法であって、前記方法が、

タイム・セルをプログラミングするステップであって、前記タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有するステップと、

前記タイム・セルを放電するステップであって、前記タイム・セルが前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行するステップとを含む方法。

【請求項9】前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、請求項8に記載の方法。

【請求項10】タイム・セルのアレイ内の少なくとも1つのタイム・セルをプログラミングするステップをさらに含む、請求項8に記載の方法。

【請求項11】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定することにより、タイム・セル・インターフェース・ユニットによって前記タイム・セルのアレイを制御するステップをさらに含む、請求項10に記載の方法。

【請求項12】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するステップをさらに含む、請求項10に記載の方法。

【請求項13】測時装置を使用するためデータ処理システムで使用するためのコンピュータ可読媒体上のコンピュータ・プログラム製品であって、前記コンピュータ・プログラム製品が、

前記測時装置を初期設定するためのプログラミング要求を受け取るための命令と、

タイム・セルをプログラミングするための命令であって、前記タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記タイム・セルが前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行する命令とを含むコンピュータ・プログラム製品。

【請求項14】前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、請求項13に記載のコンピュータ・プログラム製品。

【請求項15】タイム・セルのアレイ内の少なくとも1つのタイム・セルをプログラミングするための命令をさらに含む、請求項13に記載のコンピュータ・プログラム製品。

【請求項16】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定するかまたは読み取ることにより、タイム・セル・インターフェース・ユニットによって前記タイム・セルのアレイを制御するための命令をさらに含む、請求項15に記載のコンピュータ・プログラム製品。

【請求項17】前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するための命令をさらに含む、請求項15に記載のコンピュータ・プログラム製品。

【請求項18】メモリ・セルがプログラミング動作前に安定メモリ状態を有する第1の動作モードと、前記メモリ・セルが、前記安定メモリ状態から非安定メモリ状態に移行するようプログラミングされる第2の動作モードと、

前記メモリ・セルが前記第2の動作モード後に非安定メモリ状態を有する第3の動作モードと、

前記メモリ・セルが所定の期間内に前記非安定メモリ状態から前記安定メモリ状態に移行する第4の動作モードと、

前記メモリ・セルが前記所定の期間後に安定メモリ状態を有する第5の動作モードとを含む測時装置。

【請求項19】前記所定の期間の長さが、前記第2の動作モード後の前記メモリ・セルの初期条件によって変化する、請求項18に記載の測時装置。

【請求項20】測時装置内にエネルギーを入力せずに前記測時装置内で非時間測定状態を維持するための維持手段と、

前記測時装置内の電荷蓄積素子で静電荷を受け取って蓄積することにより、前記非時間測定状態から時間測定状態に変更するための変更手段であって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するために前記内部媒体を実質的に取り囲む絶縁材とを含む変更手段と、

前記時間測定状態への変更後の所定の期間内に所定のレベルの電位まで前記電荷蓄積素子内の蓄積静電荷を放電することにより、前記測時装置内にエネルギーを入力せずに前記時間測定状態から前記非時間測定状態に移行するための移行手段とを含む測時装置。

【請求項21】測時装置を使用するための方法であって、前記方法が、

前記測時装置内にエネルギーを入力せずに前記測時装置内で非時間測定状態を維持するステップと、

前記測時装置内の電荷蓄積素子で静電荷を受け取って蓄積することにより、前記非時間測定状態から時間測定状態に変更するステップであって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するために前記内部媒体を実質的に取り囲む絶縁材とを含むステップと、

前記時間測定状態への変更後の所定の期間内に所定のレベルの電位まで前記電荷蓄積素子内の蓄積静電荷を放電することにより、前記測時装置内にエネルギーを入力せずに前記時間測定状態から前記非時間測定状態に移行するステップと、

前記電荷蓄積素子の現行状態を検出して経過時間を決定するステップとを含む方法。

【請求項22】静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するための絶縁材であって、前記内部媒体と前記絶縁材が電荷蓄積素子を形成し、

前記絶縁材が前記内部媒体を実質的に取り囲み、

前記絶縁材が、前記絶縁材を通る静電荷で前記内部媒体を充電するための充電プロセスを可能にする物理的性質を有し、

前記絶縁材が、前記絶縁材を通って前記内部媒体から蓄積静電荷を放電するための放電プロセスを可能にする物理的性質を有し、

前記絶縁材が、前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、

前記放電プロセスが所定の放電率で蓄積静電荷を放電するように前記絶縁材の少なくとも1つの物理的性質が選択されている絶縁材とを含む測時装置。

【請求項23】前記所定の放電率が時間に関して非線形である、請求項22に記載の測時装置。

【請求項24】前記放電プロセスがファウラ・ノルトハイム・トンネル効果である、請求項22に記載の測時装

置。

【請求項25】前記充電プロセスがチャネル・ホット電子注入である、請求項22に記載の測時装置。

【請求項26】前記絶縁材を通って前記内部媒体内に電荷を注入するための電荷注入器をさらに含む、請求項22に記載の測時装置。

【請求項27】前記電荷注入器を操作することにより前記電荷蓄積素子をプログラミングするためのプログラミング・ユニットをさらに含む、請求項26に記載の測時装置。

【請求項28】前記電荷蓄積素子をプログラミングするための要求を処理するための要求処理ユニットをさらに含む、請求項27に記載の測時装置。

【請求項29】前記電荷蓄積素子のプログラミングから状況を生成するための状況生成ユニットをさらに含む、請求項27に記載の測時装置。

【請求項30】前記電荷蓄積素子がフローティング・ゲート電界効果トランジスタ内のフローティング・ゲートである、請求項22に記載の測時装置。

【請求項31】測時装置を使用するための方法であって、前記方法が、

電荷蓄積素子内に静電荷を蓄積することにより前記電荷蓄積素子をプログラミングするステップであって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するための絶縁材とを含み、

前記絶縁材が前記内部媒体を実質的に取り囲み、

前記絶縁材が、前記絶縁材を通る静電荷で前記内部媒体を充電するための充電プロセスを可能にする物理的性質を有し、

前記絶縁材が、前記絶縁材を通って前記内部媒体から蓄積静電荷を放電するための放電プロセスを可能にする物理的性質を有し、

前記絶縁材が、前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、

前記放電プロセスが所定の放電率で蓄積静電荷を放電するように前記絶縁材の少なくとも1つの物理的性質が選択されているステップと、

前記電荷蓄積素子から前記蓄積静電荷を放電するためのステップとを含む方法。

【請求項32】前記絶縁材を通って前記内部媒体内に電荷を注入することにより前記電荷蓄積素子をプログラミングするステップをさらに含む、請求項31に記載の方法。

【請求項33】前記電荷蓄積素子をプログラミングするための要求を処理するステップをさらに含む、請求項31に記載の方法。

【請求項34】前記電荷蓄積素子をプログラミングしようと試みた後に状況を生成するステップをさらに含む、請求項31に記載の方法。

【請求項35】前記電荷蓄積素子がフローティング・ゲ

ート電界効果トランジスタ内のフローティング・ゲートである、請求項31に記載の方法。

【請求項36】半導体基板と、
ソース領域と、
ドレイン領域と、

前記ソース領域と前記ドレイン領域との間のチャネル領域と、

コントロール・ゲートと、

前記コントロール・ゲートと前記チャネル領域との間のフローティング・ゲートと、

前記フローティング・ゲートを実質的に取り囲む絶縁材を含む絶縁領域であって、前記絶縁領域が放電プロセスにより前記フローティング・ゲートに蓄積された静電荷を放電するためのトンネル領域を含み、前記トンネル領域が前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、前記放電プロセスが所定の速度で蓄積静電荷を放電するように前記トンネル領域の少なくとも1つの物理的性質が選択されている絶縁領域とを含む測時装置。

【請求項37】前記トンネル領域が前記フローティング・ゲートと前記チャネル領域との間にあり、請求項36に記載の測時装置。

【請求項38】前記トンネル領域の選択した物理的性質が、前記絶縁材の選択した厚さを含む、請求項36に記載の測時装置。

【請求項39】前記トンネル領域の前記選択した厚さが7ナノメートル未満である、請求項38に記載の測時装置。

【請求項40】フローティング・ゲートを含むフローティング・ゲート電界効果トランジスタと、
前記フローティング・ゲートに隣接する絶縁材の絶縁領域であって、前記フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択される絶縁領域とを含む測時装置。

【請求項41】前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、請求項40に記載の測時装置。

【請求項42】測時装置を使用するための方法であって、前記方法が、
フローティング・ゲート電界効果トランジスタをプログラミングするステップであって、前記フローティング・ゲート電界効果トランジスタがフローティング・ゲートと、前記フローティング・ゲートに隣接する絶縁材の絶縁領域とを含むステップと、
前記フローティング・ゲートを放電するステップであつ

て、前記プログラム式フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択されるステップとを含む方法。

【請求項43】前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、請求項42に記載の方法。

【請求項44】測時装置を使用するためのデータ処理システムで使用するためのコンピュータ可読媒体上のコンピュータ・プログラム製品であって、前記コンピュータ・プログラム製品が、

フローティング・ゲート電界効果トランジスタをプログラミングするための命令であって、前記フローティング・ゲート電界効果トランジスタがフローティング・ゲートと、前記フローティング・ゲートに隣接する絶縁材の絶縁領域とを含み、前記プログラム式フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択される命令と、

前記フローティング・ゲート電界効果トランジスタで読み取り動作を実行して、前記フローティング・ゲート電界効果トランジスタが前記所定のしきい値電圧に到達して

いるかどうかに基づいて、前記所定の期間が経過したかどうかを判定するための命令とを含むコンピュータ・プログラム製品。

【請求項45】前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、請求項44に記載のコンピュータ・プログラム製品。

【請求項46】2進タイム・セルと、
前記2進タイム・セルの状態を変更するかまたは読み取

ることができるようにするための回路とを含む製品。

【請求項47】前記2進タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記2進タイム・セルが前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行する、請求項46に記載の製品。

【請求項48】前記製品がスマート・カードである、請求項46に記載の製品。

【請求項49】前記製品を読み取装置またはプログラミング装置に結合するための結合手段をさらに含む、請求項

46に記載の製品。

【請求項50】前記2進タイム・セルがプログラミングされてから所定の期間が経過したかどうかを判定するための時間決定手段をさらに含む、請求項46に記載の製品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、測時法に関し、特に電気タイム・ベースを使用する時間測定用の方法および装置に関する。より具体的には、本発明は、発振器、発振素子、または発振回路ならびに連続電源なしに時間を測定するための装置であって、ソリッドステート・デバイスにすることもできる装置と、それに関連する方法およびシステムを提供する。

【0002】

【従来の技術】携帯用電子装置は広く普及しており、電子回路のサイズおよびコストが低下し続けるにつれて、電子装置を組み込んだ民生品が増加し続けている。一例として、開いたときに音楽を演奏する紙製のグリーティング・カードはもはや新規なものとは見なされない。電子回路を様々な形状に作成し、より多くの製品に埋め込むことができるようになるフレキシブル回路において、技術が進歩してきた。

【0003】安価な電子装置は、それぞれの電力要件または関連電源システムに基づいて分類することができる。一部の電子装置は、AC-DCアダプタを介して電気のコンセントなどの外部電源から電力供給を受ける装置を必要とする可能性のある様々な機能を有し、一部の装置は1つまたは複数の電池を必要とする。また、装置によっては、両方のタイプの電源、すなわち、ほとんどの機能を可能にするための外部電源と、外部電源に接続されていない間または「オフになっている」間にクロックまたは計時機能などの低位機能に電力供給するための小型電池を必要とする可能性がある。小型の電子装置は、単にクロック回路に電力供給するために、電子時計に電力供給するものと同様の小型で平らな電池を組み込む場合が多い。一般に、この電池は、複数単位の時間の経過を測定する何らかのタイプのタイム・ベース発振器またはパルス発生器に電力供給するものである。

【0004】単純なクロック機能のためだけの電子装置に電池を組み込むと、いくつかの欠点が発生する。化学電池は、潜在的に薬品漏れや廃棄処分の危険性があり、小さい電子回路を製作するコストに比べ、比較的高価なものになる。電池は、特にそれが付随する電子回路の耐用寿命に比べ、貯蔵寿命が短い傾向がある。また、電池は、それが接続される電子回路より数倍大きい場合があり、それにより、電子装置に対して設計上の制限が加えられることになる。

【0005】電子タイム・ベース発振器は小型の電子測時装置に必要なものと想定されているが、付随する電池

10

20

30

40

50

は多くの固有の欠点を有する。このため、現行の技術状態は、時間測定機能を組み込む可能性のある他の装置、民生品、または消費者サービスの概念に制約を加える。したがって、電池または発振器なしで時間測定を可能にする、小さく単純な電子測時装置を提供することは有利なことだろう。

【0006】

【発明が解決しようとする課題】関連の方法、システム、装置、およびコンピュータ・プログラム製品に加え、タイム・セルという単純な電子測時装置を提示する。本出願の請求の範囲は主として、特定のタイプのタイム・セルの構造および初期設定ならびにそのタイム・セルを初期設定するかまたはプログラミングするために使用可能な装置およびそれに関連する方法を対象とする。

【0007】

【課題を解決するための手段】タイム・セルは、その絶縁材を通して静電荷を受け取る、絶縁された電荷蓄積素子を含み、すなわち、それはプログラム式であり、それにより、絶縁材外部の点に対する電位を電荷蓄積素子に与える。次に電荷蓄積素子は、時間の経過につれて、絶縁材を通して静電荷を失う。プログラム式電荷蓄積素子の電位が実質的に既知の放電率で低下する場合、プログラム式電荷蓄積素子の電位を所与の時点に観測することにより、経過期間を決定することができる。したがって、このタイム・セルは、連続電源なしで経過期間を測定することができる。

【0008】あるタイプのタイム・セルは2進タイム・セルであり、形式上、不揮発性メモリ・セルと同様のものにすることができます。プログラム式2進タイム・セルは経過期間中にその電荷を失う。読み取り動作によりプログラム式2進タイム・セルの2通りの可能な状態、すなわち、タイム・セルはそのタイム・セルがプログラム式タイム・セルに見えるように十分な電荷を保持しているか、またはそのタイム・セルが非プログラム式タイム・セルに見えるように経過期間中に放電されていることが観測される。それにより、プログラム式2進タイム・セルでの読み取り動作により、所与の時点に特定の期間が経過したかどうかに関する2進判定が可能になる。タイム・セルによって測定すべき特定の期間を選択するよう、タイム・セルを設計またはプログラミングすることができる。

【0009】

【発明の実施の形態】本発明の基本装置の概論
本発明は、単純な電子測時装置を対象とする。一般に、絶縁された電荷蓄積素子はその絶縁材を通して一定量の静電荷を受け取り、すなわち、電荷蓄積素子は「プログラム式」であり、それにより、絶縁材外部の点に対する既知の電位を電荷蓄積素子に与える。

【0010】次に電荷蓄積素子は、ある期間の経過につ

れて、何らかのタイプの物理的プロセスによってその絶縁材を通して静電荷を失うか、放電するか、放出するか、または漏出し、それにより、電荷蓄積素子の電位が低下する。換言すれば、プログラム式電荷蓄積素子の電位は、電荷蓄積素子から静電荷が除去される移送または放出プロセスによって実質的に既知の割合で低下する。電荷蓄積素子の放電プロセスをモデル化する放電関数は実質的に既知ものであるが、この放電率は線形になる場合もあれば、線形にならない場合もある。

【0011】所与の時点で、電荷蓄積素子の電位を観測する。この電荷蓄積素子の開始電位、所与の時点での観測電位、電荷蓄積素子の電荷放電率を把握することにより、所与の時点に関する経過期間を決定することができる。

【0012】電荷蓄積素子のプログラミング・プロセスおよび放電プロセスは、電荷蓄積素子の幾何形状、材料、または物理構造、あるいはそれらの組合せを変化させることにより選択的に制御することができる。プログラミング・プロセスは放電プロセスより急速で精度の低いプロセスなので、放電プロセスの制御より高い優先順位で電荷蓄積素子を設計することができる。換言すれば、以下に詳述する本発明の実施形態に連して説明するように、物理的放電プロセスをモデル化する数学的放電関数に関する所望の時間特性を達成するように、所与のパラメータの範囲内で測時装置を設計することができる。たとえば、プログラム式電荷蓄積素子が放電する期間は、電荷蓄積素子をプログラミングするのに必要な期間よりかなり長くなることが望ましい。

【0013】電荷蓄積素子はその絶縁材とその内部媒体を含む。絶縁材は比較的低い電荷伝導度を示すが、電荷は、絶縁材の誘電率（その抵抗率）および電荷の発生源と電荷の行先の間の絶縁材の幅など、所与の要因に応じて絶縁材を通過することができる。通常、絶縁材は、隣接媒体より高い電気抵抗を有し、一般に隣接導体または半導体を分離し隔離する働きをする。本発明では、電荷蓄積素子の絶縁材は、静電荷を帯びることができない内部媒体を実質的に取り囲んで含み、すなわち、その内部媒体は自由空間のみで構成することができない。絶縁材は、自由空間、気体媒体、液体、固体、またはこれらの中の組合せを含むことができる。絶縁材は実質的に内部媒体を取り囲んでいるが、内部媒体は、絶縁材によって密閉された空間全体を必ず占有しているわけではない。

【0014】電荷蓄積素子はその絶縁材によって実質的に電気的に隔離されているが、様々な既知の物理的プロセスを使用して比較的の短期間でその絶縁材を通して電荷蓄積素子をプログラミングすることができる。一般に、二酸化ケイ素（ガラス）などの絶縁材は、伝導帯内に上昇するのに十分なエネルギーを電子がほとんど獲得できないほど大きいバンド・ギャップによってその伝導体が価電子帯から分離される物質である。しかし、所与の物

理的プロセスでは、絶縁材による電子の移送が非常に制限される可能性がある。内部媒体が絶縁材を通して静電荷を受け取るかまたは放電する物理的プロセスは電荷蓄積素子の実施例に応じて様々なになるが、これは本発明の様々な実施形態を以下に詳述するにつれて明らかになるはずである。

【0015】本発明の基本装置の正確さ

本発明の測時装置の正確さは本質的に制限されている。しかし、実際の測時装置の正確さはその構造の精度によって制限される。そのうえ、時間を測定するための微細構造計器は、標準的な時間単位または時間測定の標準として使用する相互作用オブジェクトの物理的プロセスによって本質的に制限される。たとえば、ぜんまいを巻くことによって動作する腕時計は、セシウム原子の振動を監視することによって動作する原子時計ほど精密に1秒の何分の1かの時間を測定するように構築することはできない。

【0016】本発明では、測時装置の正確さは、実際の物理装置に関する放電関数によって放電プロセスをモデル化できる正確さと、保持静電荷を観測する際の正確さによって本質的に制限される。たとえば、プログラム式電荷蓄積素子は、その電位が漸近的にある値に近づく非線形放電プロセスを示す場合がある。その場合、連続観測の時間的正確さは、静電荷の寿命の経過につれて減少する傾向があり、それにより、本発明が有用になりうる目的を制限することになる。しかし、その正確さの減少は、本発明を使用する特定の目的に応じて、欠点になる場合もあれば、ならない場合もある。

【0017】計器を使用することは、その計器による測定の所望の正確さと、測定のコスト、労力、または重要性との先行選択を表している。たとえば、腕時計の方が適している通常の日常動作の時間基準として原子時計を維持するためにそのコストと労力を拡大することはしないものである。しかし、他の見地から見ると、一定水準の腕時計と原子時計は分単位の正確さで1年という期間を決定する作業に対して同じ程度に適していると言えるだろう。同様に、本発明が特定の目的に有用であると判断するかどうかを判定する場合、本発明の測時装置の正確さおよび動作特性はその特定の目的に適したものでなければならない。

【0018】この正確さおよび動作特性は、本発明の実施形態に応じて様々なになる。正確さと有用性との固有の兼ね合いは、本発明の様々な実施形態を以下に詳述するにつれて明らかになるはずである。

【0019】砂時計と本発明との類似点

本発明の理解を拡大するために、本発明と砂時計との類似点を対比することができる。砂時計は、計時容器と計時物質からなる古代起源の計時装置である。計時容器は通常、対置した2つの透き通ったプラスコまたはプラスコ状の容器であり、それぞれの狭いかまたは開いた端部

が接合され、小さいアーチャが形成されている。容器は通常、金属または木製のフレームまたはスタンドによって支持されている。容器の半分は、計時物質として作用する流体または粒状物質を保持するかまたはその物質でほぼ充填されている。最も一般的なことに、容器はガラスで作られ、計時物質は砂である。砂時計を逆さにすると計時物質に重力位置エネルギーが加わり、それにより、ある期間の経過につれて密閉された物質が容器の上半分から下半分に流れることになる。

【0020】砂時計は、サンド・タイマとも呼ばれ、1時間という期間を測定することができるが、この用語はこのような重力装置であればどの装置にも使用する。砂時計の測定期間は、計時物質の量と容器のアーチャのサイズによって設定される。計時物質の量がより多く、アーチャがより小さければ、測定期間が延長されるが、アーチャが非常に狭いと、計時物質が規則正しく流れないかまたはまったく流れなくなる可能性がある。ある程度まで、計時物質の特性はアーチャを通る物質の流れの特性に影響する。たとえば、大きい砂粒は微細な砂粒よりゆっくりアーチャを通りて流れれる可能性がある。

【0021】容器の透明性により、容器の上半分（または下半分）に保持されている計時物質の量を観測することができ、それにより、砂時計を逆さにしてから経過した時間の量を示すことになる。計時物質の表面がマークまで低下したときに所定の期間が経過しているように、より短い期間を示すように砂時計にマークを付けることができる。

【0022】本発明の測時装置は、以下のように砂時計に類似しているので「静電砂時計」と呼ぶこともできる。電荷蓄積素子の絶縁材は砂時計のガラス容器に類似しており、電荷蓄積素子の内部媒体はガラス容器内の自由空間と同様のものである。砂時計内の計時物質が砂粒を含む場合、個々の電荷キャリヤは個々の砂粒に類似している。絶縁材とその内部媒体は電位エネルギーを所有する静電荷を含む働きをし、砂時計は重力位置エネルギーを所有する計時物質用の容器として働く。絶縁された電荷蓄積素子は、砂時計の支持フレームと同様に、それが載っている半導体基板などの支持構造を有することができる。砂時計内の計時物質は再利用されるが、本発明内の電荷は放電された後で再利用されることはない。

【0023】各計時装置では、ある期間を流动または放電プロセス、すなわち、電荷蓄積素子からの電荷および砂時計内の砂（または他の計時物質）に相関させることができる。砂時計の砂のように、静電荷の初期量が大きいと、電荷蓄積素子に関して測定可能な期間が延長される。本発明の実施例によつては、絶縁材の寸法およびその物理的性質が砂時計のアーチャの幅と同様になることがあり、絶縁材の寸法および性質によって電荷の放電率を制御することができる。実際に、絶縁材が提示

するバリアは、電荷が規則正しく流れないかまたはまったく放電しなくなるほど大きくなる可能性がある。電荷蓄積素子内の保持静電荷の量は直接知覚することができないが、まず何らかのタイプの物理的測定を行い、次に第1の測定値を人間が知覚可能な何らかの形式に変換することによって、間接的に決定することができる。

【0024】本発明の実施形態の概論

本発明は電荷蓄積素子および支持要素に関する様々な構成を使用して実施することができ、電位を観測する方法は選択した実施形態に応じて様々ななる可能性がある。

【0025】本発明の第1の実施形態では、本明細書で「タイム・セル」と呼ぶ、改変不揮発性メモリ・セルを電荷蓄積素子として使用する。初めに、所定の放電率を有するこのタイム・セルをプログラミングする。次に、タイム・セルのしきい値電圧が所定のしきい値電圧以上であるかどうかの判定を行うために、そのタイム・セルで読み取り動作を実行することにより、その後のある時点の保持静電荷を間接的に観測する。次に、読み取り動作の結果により、所定の経過時間が経過したかどうかを判定する。そのしきい値電圧が所定のしきい値電圧以下になるようタイム・セルが放電した後、タイム・セルは実質放電状態に到達している。以下に詳述する理由により、このタイプのタイム・セルは「2進タイム・セル」と呼ぶこともできる。

【0026】本発明の第2の実施形態では、本発明の第1の実施形態に関して説明したものと同じ原理により動作する複数タイプの測時装置を含むものとして本発明を広く見なすことができる方法について説明する。

【0027】本発明の第3の実施形態は、1組のタイム・セルを使用することにより第1の実施形態を拡張するものであり、各セルはそれぞれ異なる放電関数を所有し、それにより、複数の期間を同時に測定するために一定範囲の細分性を提供する。タイム・セルで読み取り動作を実行して、関連期間が経過したかどうかを判定することにより、保持静電荷を観測する。

【0028】本発明の第4の実施形態は、フローティング・ゲート電界効果トランジスタのフローティング・ゲートを測時装置用の絶縁された電荷蓄積素子として使用するという概念を拡張するものである。好ましくは、プログラミング・トランジスタと感知トランジスタとともに共通フローティング・ゲートと一緒に使用する。この共通拡張フローティング・ゲートを使用して、典型的なフローティング・ゲート電界効果トランジスタ（FET）またはFGFETが蓄積する静電荷の量を上回る、ある量の静電荷を蓄積する。次に、その測定値を経過時間間に変換する感知装置によって、フローティング・ゲートの残留電位を間接的に観測する。任意選択で放電関数特性を測時装置の一部として記憶することができる。以下に詳述する理由により、このタイプのタイム・セルは「アナログ・タイム・セル」と呼ぶこともできる。

【0029】上記の実施形態に加え、この測時装置を使用するための方法、システム、コンピュータ・プログラム製品も提示する。

【0030】測時装置としての改変不揮発性RAMメモリ・セル本発明の第1の実施形態では、タイム・セルという改変不揮発性メモリ・セルを測時装置として使用する。不揮発性メモリ・デバイスは、そのメモリ・デバイスからまたはそのメモリ・デバイスを含むシステムから電力を除去したときにデータを保持しているメモリ・デバイスであり、コンピュータ技術の分野では周知のものである。多種多様な不揮発性メモリの実施例が市販されており、タイプの異なる不揮発性メモリは異なる方式で動作する。

【0031】所与のタイプの不揮発性メモリは、電荷蓄積素子を組み込んでいないので、本発明の範囲外に位置する。たとえば、プログラム可能読み取り専用メモリまたはPROMは、通常は論理ネットワーク内の可融性リンクを焼き切る特殊な機器によって1回だけ書き込みまたはプログラミングが可能な読み取り専用メモリであり、それにより、特定の記憶場所を所望の論理レベルに設定し、読み取り専用データ値を確立する。このため、このようなタイプのメモリは電荷蓄積素子なしでデータを記憶する。

【0032】その他の多くのタイプの不揮発性メモリ・セルは電荷蓄積素子を含む。このため、本発明のタイム・セルの形式は、EEPROMセル、EEPROMセル、または絶縁された電荷蓄積素子を含む他のタイプの不揮発性メモリ・セルなど、多種多様なタイプの不揮発性メモリ・セルに基づくものになる可能性がある。たとえば、電気的プログラム可能読み取り専用メモリ(E PROM)は、電気的にプログラミングし、後で紫外線に曝すことによって消去することができる。電気的消去可能プログラム可能読み取り専用メモリ(EEPROM)は、電気的にプログラミングし、電気的に消去することができる。具体的には、本発明の第1の実施形態では、改変不揮発性メモリ・セルの絶縁された電荷蓄積素子内に静電荷が蓄積されるタイム・セルとして機能するよう、汎用不揮発性メモリ・セルを改変している。

【0033】絶縁された電荷蓄積素子を放電することによりタイム・セルを消去するという追加機能は本発明にとって不可欠なものではない。追加の消去機能を組み込む場合の利点および欠点については以下に詳述する。

【0034】本発明は様々なタイプの不揮発性メモリ・セルに基づくものになる可能性があるが、以下の例では、プログラム可能フローティング・ゲート構造を含む単純な電界効果トランジスタについて言及する。しかし、当業者であれば、タイム・セルの構造は実施例に応じて様々な可能性があることが分かるだろう。たとえば、タイム・セルは、例に示した構造または要素に加え、消去ゲートおよびその他のデバイス構造または要素

を有することができる。記述した例は、本発明に関する制限を暗示するためのものではなく、むしろ、本発明の一実施形態による絶縁された電荷蓄積素子内の静電荷の蓄積および放電をサポート可能な範囲のデバイスに関する情報を提供するものである。

【0035】以下に詳述するように、改変不揮発性メモリ・セルをプログラミングするのに必要な電荷は、電荷蓄積素子の絶縁材内にまたはその絶縁材を通じて注入しなければならない。改変不揮発性メモリ・セルをプログラミングする様々なメカニズムが実行可能であるが、メカニズムが異なると要件および特性も異なり、それにより設計者は他のメカニズムよりあるメカニズムを好むことになる場合もある。以下の例では、チャネル・ホット電子注入というメカニズムにより電荷を注入する。しかし、様々なメカニズムを使用することができ、当業者であれば、注入メカニズムは実施例に応じて様々なになる可能性があることが分かるだろう。記述した例は、本発明に関する制限を暗示するためのものではなく、むしろ、本発明の一実施形態による好ましい注入メカニズムに関する情報を提供するものである。

【0036】図1を参照すると、同図は、典型的なフローティング・ゲート電界効果トランジスタとして実施された電荷蓄積素子を含む典型的な不揮発性メモリ・セルを示している。フローティング・ゲート電界効果トランジスタ(FGET)の動作は当技術分野で周知のものである。まず、背景情報を提供するために典型的なFGETの動作について説明し、続いて、典型的な不揮発性メモリ・セルを改変して本発明による測時装置として使用可能なタイム・セルを形成することができる本発明の一実施形態の説明を示す。図1は、nチャネルまたはn型フローティング・ゲートFETを示している。p型FETも使用可能であり、その場合、代替プログラミング・メカニズムが望ましい場合があるが、以下に詳述するように、フローティング・ゲート内へのチャネル・ホット電子(CHE)注入を備えたn型FETはメモリ・セルをプログラミングするために最も効率の良い動作を提供することが従来技術で判明している。

【0037】n型フローティング・ゲートFET100は、P-基板102を形成するために、ホウ素など、穴を生成するためのp型アクセプタ・イオンを軽くドーピングした単結晶シリコン基板上に形成されている。ソース104およびドレイン106は、矯など、自由電子を寄贈するためのn型ドナー・イオンを大量にドーピングした2つの領域を作成することにより基板内に形成されている。別法として、ソースおよびドレインは、シリコン基板内のpウェル領域に形成することができる。ソースとドレインとの間の領域は、チャネルにより電界が印加されたときに少数電流キャリヤ(この場合は電子)が流れるチャネルを形成する。

【0038】それぞれソースおよびドレインの、導電接

点108および110はそれぞれ絶縁領域112および114によってこのデバイスの他の部分から絶縁され、適切な場合に導電リードによりソースおよびドレインとの間で電流が流れることができる。図1では絶縁領域は酸化ケイ素(SiO₂)領域で形成されているが、別法として、他の絶縁材も使用可能である。他の酸化物領域および他の任意選択構造または要素は図示しておらず、このデバイスの各種構造は一定の縮尺で描かれているわけではない。

【0039】コントロール・ゲート116およびフローティング・ゲート118は、絶縁領域120によってこのデバイスの他の部分から分離された領域である。フローティング・ゲート118はポリシリコン(非晶質、複結晶、または多結晶シリコンともいう)にすることができ、コントロール・ゲート116は金属またはポリシリコンにすることができる。フローティング・ゲートと基板のチャネル部分との間の絶縁領域120の一部分は「トンネル酸化物」または「トンネル領域」122と呼ばれるが、その理由は以下の説明で明らかになるだろう。図2はFGFETの記号表現を示している。

【0040】典型的なn型FETでは、チャネルによりゲートに正の直流電圧を印加すると、電子をチャネル領域に引き寄せることによってFETがオンになり、それにより、チャネル領域を導電性にすることができます。フローティング・ゲートFET100のコントロール・ゲート116は、FET100をオン/オフするゲート機能を実行する。コントロール・ゲートの電圧はFETのしきい値電圧と等しいかまたはそれより大きくなればならないが、そのしきい値電圧は、コントロール・ゲート電圧が十分大きいものになり、FETのチャネルを導電性にことができるかまたは、換言すれば、FETをオンにする点を決定する特性パラメータである。

【0041】FGFETは、フローティング・ゲートをプログラミングすることによってそのメモリ機能を獲得する。プログラミング動作中、フローティング・ゲートはある量の電荷を受け取る。フローティング・ゲートが適切な極性の電荷を蓄積している場合、FGFETはオンにできず、したがって、一方のメモリ状態を示す。フローティング・ゲートが電荷を蓄積していない場合、FGFETはフローティング・ゲートなしのFETと同じように動作し、もう一方のメモリ状態を示す。この2通りのメモリ状態は2進論理の演算をサポートするものであり、この2通りのメモリ状態は単一ビットとしてメモリ・セル内に記憶された論理「0」または論理「1」を表す。

【0042】次に図3ないし図4を参照すると、このグラフは、n型フローティング・ゲート電界効果トランジスタがしきい値電圧に及ぼす影響を示している。図3では、ドレインはソースに対して正のバイアスがかけられていると想定し、フローティング・ゲートがプログラミ

ング動作中に電荷を受け取る前に、コントロール・ゲートでの電圧がFGFETのしきい値電圧より大きくなると、電流がドレインを通って流れることができる。このため、FGFETを含むメモリ・セルに記憶されたビット値を読み取るためのメモリ動作中に、コントロール・ゲートでの読み取り動作電圧がしきい値電圧より大きくなると、FGFETがオンになり、それにより、フローティング・ゲートがまだプログラミングされていないことを示す。

【0043】図4では、ドレインはソースに対して正のバイアスがかけられていると想定し、フローティング・ゲートがプログラミング動作中に電荷を受け取った後に、コントロール・ゲートでの電圧がFGFETのしきい値電圧より小さくなると、電流がドレインを通って流れなくなる。このため、FGFETを含むメモリ・セルに記憶されたビット値を読み取るためのメモリ動作中に、コントロール・ゲートでの読み取り動作電圧がしきい値電圧より小さくなると、FGFETがオンにならず、それにより、フローティング・ゲートがすでにプログラミングされていることを示す。

【0044】フローティング・ゲートのこの2通りの動作状態は2進論理をサポートする。このメモリ・セルを含む論理回路は、FGFETのどちらの動作状態が2進「1」または2進「0」を示すかに関する規則を有することになる。このため、フローティング・ゲートがプログラミングされると、メモリ・セルを論理「1」または論理「0」に設定するものとしてその動作を解釈することができる。このメモリ・セルで読み取り動作を実行することにより、メモリ・セルが論理「1」を含むかまたは論理「0」を含むかに関する2進判定を行うことができる。

【0045】不揮発性メモリ・セルを含むメモリ・デバイスは、そのメモリ・セルまたはメモリ・セル・アレイのアーキテクチャまたは配置のタイプに応じてデータを記憶し消去するためのプログラミング・アルゴリズムを提供する内部状態機械を有する可能性がある。多くのタイプの不揮発性メモリは周知のものであり、市販されているので、本発明の不可欠な特徴は絶縁された電荷蓄積素子とそのプログラム可能性であることに留意された。本発明は、この必要不可欠な特徴を有する多種多様なタイプの不揮発性メモリ・アレイまたはアーキテクチャに組み込むことができるので、メモリ・アレイ回路についてはこれ以上説明しない。

【0046】不揮発性メモリ・セルは、様々な物理的プロセスによってプログラミングすることができる。不揮発性メモリ・セルをプログラミングするに必要な電荷は、電荷蓄積素子の絶縁材内にまたはその絶縁材を通じて注入しなければならない。不揮発性メモリ・セルをプログラミングする様々なメカニズムが可能であるが、メカニズムが異なると要件および特性も異なり、それによ

り設計者は他のメカニズムよりあるメカニズムを好むことになる場合もある。

【0047】フローティング・ゲート・デバイスで使用する電子注入メカニズムの1つはファウラ・ノルトハイム・トンネル効果(Fowler-Nordheim tunneling)であり、これは電界支援電子トンネル・プロセスである。フローティング・ゲートがポリシリコンからなるものと想定すると、フローティング・ゲート、絶縁材、チャネルによって形成されるポリシリコン/SiO₂/シリコン構造の両端間に大きい電圧を印加したときに、エネルギー・バリアが十分狭くなり、電子はシリコン伝導帯から酸化ケイ素伝導帯へトンネルを掘ってバリアを通り抜けることができる。ファウラ・ノルトハイム・トンネル効果を使用するプログラミング動作中に酸化物を横切る10MV/cm程度の高い注入電界が必要になる。このような高電界値に到達し、プログラミング中に必要な電圧を制限するために、非常に薄いトンネル酸化物を使用するが、たとえば、10Vの電圧を印加すると、厚さ10nm(ナノメートル)の酸化物を横切る。この電圧を削減するために、トンネル酸化物をさらに薄くすることができるが、8nmという厚さが良好な電荷保持挙動のために必要な下限として認識されている。薄い酸化物の他の利点としては、チャネル長が短くなることと、読み取り動作電圧が低くなることを含む。しかし、良好な電荷保持挙動を得るために必要な低い欠陥密度では、薄い酸化物を成長させるのが難しい可能性がある。FGFETのプログラミングにファウラ・ノルトハイム・トンネル効果を使用する際の主な欠点は、フローティング・ゲートに十分な電荷を蓄積するのに必要な時間が長いことである。ファウラ・ノルトハイム・トンネル効果の詳細については、1998年IEEE Press発行、William D. BrownおよびJoe E. Brewer編集の Nonvolatile Semiconductor Memory Technology: A Comprehensive Guide to Understanding and Using NVSM Devicesを参照されたい。

【0048】図1に示すFGFET用の好ましいプログラミング・メカニズムはチャネル・ホット電子(ChE)注入であり、これはフローティング・ゲートに電子を注入するためのプロセスとしてはかなり急速なものである。ドレイン・ソース間バイアスが大きい場合、チャネル内を流れる少数キャリアは、n型FGFET内の電子であり、チャネルのドレイン側で検出される大きい電界によって加速される。これによりドレインでの衝撃イオン化が発生し、この衝撃イオン化によって発生した少数キャリアのほとんどがドレインで収集される。電子の一部は、それがSiO₂エネルギー・バリアを乗り越えられるだけの十分なエネルギーを獲得し、酸化物内に放出されるが、これによりホットキャリア注入コントロール・ゲート電流が発生する。

【0049】FGFETのコントロール・ゲート電流はコントロール・ゲートに実際に到達する電子からなり、

電子の一部はフローティング・ゲートで収集される。ChE注入の主な欠点は、その注入効率が低く、その結果、その電力消費量が大きくなることである。有利な電子注入のためには、固定バイアス条件のときに、高い垂直電界と高い水平電界を有することが望ましいが、これらは競合する傾向のある条件である。FGFET内では、チャネルに沿った水平電界はコントロール・ゲート電圧が増加する場合に減少する傾向があり、垂直電界はコントロール・ゲート電圧が増加する場合に明らかに増加する。このため、多数のホット電子を発生するためには、コントロール・ゲート電圧を低くし、ドレイン電圧を高くすることが望ましい。しかし、電子注入と、フローティング・ゲートでの収集のためには、コントロール・ゲート電圧を高くし、ドレイン電圧を低くすることが望ましい。1つの兼ね合いとして、コントロール・ゲート電圧とドレイン電圧をどちらも高い状態に保持する。プログラミング電圧は通常、コントロール・ゲートまたはドレインのいずれかに印加される通常動作電圧よりも大きくなる。

【0050】FGFETメモリ・セルは不揮発性メモリ・セルと呼ばれるが、これはフローティング・ゲート内の電荷が本質的に安定し、不揮発性であるからである。対照的に、一般的なダイナミック・ランダム・アクセス・メモリ(DRAM)は揮発性半導体読み書き込みメモリであり、データを保持するその容量性メモリ・セルで電荷を保持するために定期的なリフレッシュを必要とする。

【0051】データ保持は、時間の経過につれてデータを保持するデバイスの能力を示す標準的な尺度である。

30 これは、プログラム可能不揮発性メモリに関する重大な信頼性パラメータである。高温動作寿命データ保持ベーキングは、このパラメータに関する主要信頼性テストである。多くの市販メモリの典型的な最低バターン保持時間は150°Cで10年間、125°Cで20年間であり、ほとんどのデバイスの典型的な予想動作温度は-40°C ~ 125°Cである。

【0052】FGFETがデータを保持し損なう場合の最も重要なメカニズムはファウラ・ノルトハイム・トンネル効果である。フローティング・ゲート内に電子を蓄積することによりn型FGFETをプログラミングした後、フローティング・ゲートは重要な電位を有しており、電子はトンネルを掘ってフローティング・ゲートとチャネル間の絶縁酸化物を通り抜ける。したがって、絶縁領域のこの部分は、図1のトンネル領域122で示すように、「トンネル酸化物」または「トンネル領域」と呼ばれる。

【0053】フローティング・ゲートが電子を失うと、蓄積した電子によって発生した電位は減少し、FGFETのしきい値電圧はその非プログラム式しきい値電圧にシフトバックし始める。ある時点で、重大な電荷損失の

あるプログラム式メモリ・セルでの読み取り動作がオンになり、相当な量のドレイン電流が引き出される。その場合、このFGFETは非プログラム式FGFETのように見える。ビット値を記憶するためにこのFGFETがプログラミングされていると想定すると、電荷損失により間違ったビット値がメモリ・セルから読み取られることになる。

【0054】次に図5ないし図10を参照すると、これらのスプレッドシート・モデルおよびグラフは、従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示している。ファウラ・ノルトハイム・トンネル効果は当技術分野で周知のものであり、ファウラ・ノルトハイム方程式の計算を1枚のスプレッドシート内で行えるほど広範囲にモデル化されている。詳細については、Richard G. Forbesによる「Use of a spreadsheet for Fowler-Nordheim equation calculations」(1999年3月/4月のJ. Vac. Sci. Technol. B - Microelectronics and Nanometer Structures 17(2), 534~541ページ)を参照されたい。

【0055】トンネル酸化物の典型的な幅は一般に8~10ナノメートル(nm)である。図5は、80オングストロームまたは8nmのトンネル酸化物厚さを含む、フローティング・ゲートFET用の一般的なパラメータ・セットを示し、図6は、定期的に1年間隔で30年という期間にわたるフローティング・ゲートFETのしきい値電圧のグラフを示している。図6に示すように、時間の経過につれしきい値電圧がゆっくり低下するだけでなく、時間の経過につれて変化率も減少する。

【0056】図7は、80オングストロームまたは8nmのトンネル酸化物厚さを含む、フローティング・ゲートFET用の一般的なパラメータ・セットを示している。図8は、32年という期間にわたるフローティング・ゲートFETのしきい値電圧のグラフを示している。図9は、85オングストロームまたは8.5nmのトンネル酸化物厚さを含む、フローティング・ゲートFET用の一般的なパラメータ・セットを示している。図10は、32年という期間にわたるフローティング・ゲートFETのしきい値電圧のグラフを示している。

【0057】図8および図10のいずれでも、X軸に沿った秒数は各間隔ごとに指数関数的に増加し、それにより、短期間および長期間の両方におけるしきい値電圧の低下を見通すことができる。図8および図10に示すように、フローティング・ゲートはその電荷を非常に強く保持し、少なくともプログラミング動作の1年後まで電荷は大幅に消失し始めることはなく、しきい値電圧は32年の期間にわたって数パーセントしか減少していない。

【0058】典型的なフローティング・ゲートFETの動作に関するこの背景説明により、本発明の第1の実施

形態がフローティング・ゲートFETなどの電荷蓄積素子を含む不揮発性メモリ・セルを改変してタイム・セルという測時装置の基本形式を構築する方法の説明に転向する。

【0059】本発明のこの実施形態では、不揮発性メモリ・セルがその電荷を失う割合は放電プロセスが有用になるように選択または構築できるという新規の所見を示す。この新規の所見を使用すると、改変不揮発性メモリ・セルを本明細書で「タイム・セル」と呼ぶ測時装置として設計することができ、経過期間を決定できるようにその状態の観測が可能になる。タイム・セル内の電荷蓄積素子の周りの絶縁材とその初期条件を操作することにより、タイム・セルが既知の経過期間を測定できるように放電プロセスの割合を制御することができる。

【0060】一般に、絶縁材の寸法および物理的性質により、電子がファウラ・ノルトハイム・トンネル効果によってトンネルを掘って電化蓄積素子から絶縁材を通り抜ける能力が制御される。特定のタイプの絶縁材を使用すると想定すると、ファウラ・ノルトハイム・トンネル効果を経験する電子の数を増加するために、その厚さなど、絶縁材の物理的寸法または幾何形状を低減し、それにより、電荷蓄積素子をより急速に放電させることができる。

【0061】より具体的には、前述のフローティング・ゲートFETでは、トンネル酸化物の厚さにより、電子がファウラ・ノルトハイム・トンネル効果によってトンネルを掘ってフローティング・ゲートからトンネル酸化物を通り抜ける能力が制御される。このため、形式の点でフローティング・ゲートFETと同様のタイム・セルを作成する方法の1つは、ファウラ・ノルトハイム・トンネル効果を経験する電子の数を増加するために、フローティング・ゲートFETのトンネル酸化物厚さを低減し、それにより、より急速に放電するようFGFETのフローティング・ゲートを誘導する。

【0062】必要な要素を備えたタイム・セルを構築すると、そのタイムセルは以下のように測時装置として動作する。初めに、所定の放電率を有するタイム・セルをプログラミングする。タイム・セルがその電荷を失うにつれて、そのしきい値電圧がシフトし、それによりその動作特性が変化する。

【0063】不揮発性メモリ・セルのデータ値またはビット値を読み取るために、不揮発性メモリ・セルで読み取り動作を実行するのと同様に、タイム・セルで読み取り動作を実行することができる。しかし、タイム・セルの場合、タイム・セルの「経過時間値」を読み取るために読み取り動作を実行する。

【0064】読み取り動作の電圧によってタイム・セルのトランジスタがオンになっているかどうかを観測することにより、読み取り動作の電圧がタイム・セルのトランジスタのしきい値電圧より上であるか下であるかを判定す

ることができる。この動作により、タイム・セル内の電荷蓄積素子の電位とその保持電荷を間接的に観測することができる。電荷蓄積素子が特定の電位に到達するのに十分な電荷を失う前に経過すべき時間の量を把握することにより、または換言すれば、電荷蓄積素子を含むトランジスタが特定のしきい値電圧に到達する前に経過すべき時間の量を把握することにより、読み取り動作は、所定の期間が経過したかどうかを判定することができる。

【0065】次に図11を参照すると、同図は、そのプログラム式フローティング・ゲートがその電荷を失うときのn型フローティング・ゲート電界効果トランジスタのしきい値電圧の変化を示す、1組のしきい値電圧応答グラフを示している。ドレインはソースに対して正のバイアスがかけられていると想定し、フローティング・ゲートがプログラミング動作中に電荷を受け取った後に、コントロール・ゲートでの電圧がFGFETのしきい値電圧より小さくなると、電流がドレインを通って流れなくなる。このため、FGFETを含むタイム・セルに記憶された経過時間値を読み取るためのメモリ動作中に、不揮発性メモリ・セルの読み取り動作と同様のメモリ動作でコントロール・ゲートでの読み取り動作電圧がしきい値電圧より小さくなると、フローティング・ゲートが十分大きい量の電荷を保持していて、読み取り動作中にFGFETがオンになるのを防止することが正しく判定される。

【0066】時間の経過について、フローティング・ゲートがその電荷を失うと、トランジスタをオンにするのに必要なコントロール・ゲート電圧がますます小さくなるようにFGFETのしきい値電圧がシフトする。読み取り動作電圧は何らかの時点でトランジスタをオンにするが、これもフローティング・ゲートの電位が特定の値まで低下したことを示している。フローティング・ゲートの放電閾数を把握することにより、タイム・セルでの読み取り動作によって、所定の期間が経過したかどうかを判定することができる。所定の期間が経過した後、フローティング・ゲートは実質放電状態に到達していると見なすことができる。

【0067】次に図12ないし図17を参照すると、これらのスプレッドシート・モデルおよびグラフは、トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示している。

【0068】FGFET内のトンネル酸化物の典型的な幅は一般に8nm～1.0nmである。図12は、6.5オングストロームまたは6.5nmの薄いトンネル酸化物を備えたフローティング・ゲートFGFET用のパラメータ・セットを示している。図13は、定期的に2週間間隔で1.5カ月という期間にわたるフローティング・ゲートFGFETのしきい値電圧のグラフを示している。図13に示すように、時間の経過についてしきい値電圧が低下す

るだけでなく、時間の経過につれて変化率も減少する。図8および図10に示すグラフとは対照的に、図13に示すしきい値電圧は1カ月または2592000秒以内に大幅に低下している。図6に示すグラフとは対照的に、図13に示すしきい値電圧はかなり急速に低下している。

【0069】図14は、6.5オングストロームまたは6.5nmの薄いトンネル酸化物を備えたフローティング・ゲートFGFET用のパラメータ・セットを示し、図15は、1.6カ月という期間にわたるこのフローティング・ゲートFGFETのしきい値電圧のグラフを示している。図16は、6.0オングストロームまたは6nmの薄いトンネル酸化物を備えたフローティング・ゲートFGFET用のパラメータ・セットを示し、図17は、1.6カ月という期間にわたるこのフローティング・ゲートFGFETのしきい値電圧のグラフを示している。

【0070】図15および図17のいずれでも、X軸に沿った秒数は各間隔ごとに指數関数的に増加し、不均一な間隔が1つずつ正確に1週間の経過時間間隔で配置されている。この指數関数増加時間軸により、短期間および長期間の両方におけるしきい値電圧の低下を見通すことができる。グラフに示すように、その消失関数が図15および図17に示されているフローティング・ゲートは、その消失関数が図8および図10に示されているフローティング・ゲートほど、その電荷を十分保持していない。しきい値電圧は、図15のグラフでは約1.8時間後に大幅に低下し始め、図17のグラフでは約4時間後に大幅に低下し始めることが分かるだろう。

【0071】グラフに示すように、フローティング・ゲートはその電荷を比較的急速に失うよう構築することができ、その期間は、タイム・セルを測時装置として使用するアプリケーションに応じて選択することができる。そのアプリケーションが特定の時間範囲内にしきい値電圧の正確な解明を必要とする場合、その期間中に有意な傾きを有するように消失または放電閾数を調整することができ、必要な特定の物理的寸法でタイム・セルを構築することができる。たとえば、数パーセント、すなわち、数時間の精度で1週間の期間を正確に測定したい場合、図17に示すものと同様に相当な電荷を失い始める

電荷蓄積素子を備えたタイム・セルを使用することになるだろう。明らかに、多くの電子装置の場合のように、可能な限り高い精度でタイム・セルが作成されることを保証するために、デバイスの製造中の各ステップに相当な労力を加える必要がある可能性がある。

【0072】また、トンネル領域の寸法を操作することに加え、経過期間におけるタイム・セルの動作特性がタイム・セルの初期条件によって決まることにも留意されたい。たとえば、フローティング・ゲートに蓄積された初期電荷量によってその初期電圧が設定され、蓄積電荷量が多くなるとフローティング・ゲートはより高い初期

電位を有することになる。その場合、タイム・セル内の F G F E T のしきい値電圧はより大きい値から始まることになり、それにより、タイム・セルはより長い期間を監視できるようになり、監視期間全体にわたってしきい値電圧を上昇させることになる。

【0073】このタイプの変動性は、図13、図15、図17に示すグラフのしきい値電圧曲線が種々の値から始まる可能性があることに示されている。フローティング・ゲート内の初期電荷の量が多くなると、初期しきい値電圧が高くなる。その結果、初期しきい値電圧が高くなると、各時間間隔のしきい値電圧値が高くなる。ある見地から見ると、このしきい値電圧曲線は、初期電荷が増加するにつれて右方向にシフトするものと見なすことができる。このため、フローティング・ゲートが適切な初期静電荷量で初期設定されるように、またはそれと同等に、しきい値電圧が適切な初期値から始まるようにプログラミング動作を実行することも重要である。

【0074】タイム・セルの初期開始条件が所望のものである場合、可変長の時間の間、フローティング・ゲートをプログラミングすることができる。たとえば、フローティング・ゲートにより多くの電荷を蓄積するため、より長い時間の間、プログラミング動作を実行する。種々の方法を使用して、所与のタイム・セル構成について特定の長さのプログラミング時間を決定することができる。

【0075】たとえば、1組のタイム・セルからなるテスト・セットでの1組のプログラミング動作の直後に、そのテスト・セット用の1組のフローティング・ゲートの電位を測定する。プログラミング動作の長さを変動させることにより、フローティング・ゲートの電位が変動し、測定電位を所望のしきい値電圧応答曲線に相間させることができる。

【0076】好ましくは、所与のタイム・セル設計またはサイズに必要なプログラミング時間長は、1組のタイム・セルからなるテスト・セットを充電することにより経験的につけることができる。この1組のタイム・セル内の各タイム・セルはそれぞれ異なる長さの時間の間、充電されることになる。次に各タイム・セルは、ある期間にわたってそのしきい値電圧が変化するかどうか監視されることになる。その場合、初期プログラミング時間をしきい値電圧消失応答に相間させることができ、この情報は後で使用するために記憶されることになる。

【0077】明らかに、タイム・セルの物理的性質は、タイム・セルの製造後に変更することはできない。しかし、その動作挙動がその仕様に関して正しくモデル化されていると仮定して、所与の仕様に応じてタイム・セルを製造することができる。その場合、テスト手順により、製造したデバイスの許容差を決定する。この経験的情報により、特定の寸法または物理的特性を備えたタイム・セルを使用して、そのプログラミング動作によって

変動する期間の範囲を監視することができる。

【0078】このようなタイプの経験的値または仕様を含むデータ・シートまたはデータ・ブックは電子技術分野で周知のものである。プログラミング・プロセスまたはプログラミング装置も標準化されると想定すると、所与のタイプのタイム・セルの場合、製造業者のデータ・ブックは、プログラミング時間と、それに相関する期間および許容差を記憶することができるので、ユーザは所望の期間を監視するための所与のタイプのタイム・セルを使用することができる。

【0079】本発明の範囲に影響せずに、適切なプログラミング・パラメータを決定するための他の方法を使用することもできる。

【0080】前述のように、フローティング・ゲートの2通りの動作状態は2進論理をサポートする。タイム・セルを含む論理回路は、F E T のどちらの動作状態が2進「1」または2進「0」を示すかに関する規則を有することになる。通常動作では、タイム・セルでの読み取り動作により、そのタイム・セルが論理「1」を含むかまたは論理「0」を含むかに関する2進判定を行うことができる。それがプログラミングされてから所定の期間内にそのトランジスタのしきい値電圧を所定の値まで低減するよう設計されたタイム・セルを使用すると、読み取り動作により、所定の期間が経過したかどうかを判定することができる。所定の期間が経過した後、タイム・セル内の静電荷は実質的に放電されており、タイム・セルはもはや時間の経過を有用に測定せず、特定の時間尺度が経過したことを示すだけである。2進論理に関するこの例を引き続き説明すると、プログラム式タイム・セルは論理「1」を表すと想定することができる。特定のタイム・セルをプログラミングした後、そのプログラム式タイム・セルでの読み取り動作によって論理「1」が返される。その所定の期間が経過した後、タイム・セルはその電荷をすべて失っており、タイム・セルはもはやプログラム式には見えなくなり、その後、タイム・セルでの読み取り動作によって論理「0」が返される。このため、プログラム式タイム・セル用の期間の満了は、タイム・セルでの読み取り動作によって論理「0」が返されたときに経過したと判定することができる。より簡単に説明すると、タイム・セルは、それがプログラミングされた後の何らかの時点で論理「0」を含む場合に「すでに満了している」。タイム・セルが満了しているかどうかという2進判定は、このタイプのタイム・セルを「2進タイム・セル」と呼ぶための基礎になる。「アナログ・タイム・セル」の説明については、本発明の他の実施形態に連して以下に詳述する。

【0081】2進タイム・セル内のトランジスタでの読み取り動作は、適正に考慮されず適切に補償されない場合に読み取り動作によって不確定結果が発生する可能性がある期間中に行うことができることに留意されたい。その

トランジスタの現行しきい値電圧がその所定の値にほとんど到達したとき、すなわち、読み取り動作によってそのトランジスタがほぼオンになると思われるときに読み取り動作を実行した場合、不確定結果が発生する可能性がある。補償するために、適切な回路をタイム・セル内に構築して、確定結果が発生するよう保証することができ、それにより、2進タイム・セルの所定の期間が経過した場合のみ、出力として論理「1」または「0」が発生する。このタイプの補償は、監視期間にわずかな量の不正確さのみをもたらすはずである。

【0082】本発明の上記の説明ではFETのフローティング・ゲートとチャネルの間の絶縁領域、すなわち、トンネル酸化物を薄くすることに注目してきたが、タイム・セル内の構造および要素、その物理的特性、幾何形状などに応じてタイム・セルの他の領域で所望のトンネル効果を達成できることに留意されたい。換言すれば、他の要件および条件を考慮すると、タイム・セルの他の領域内で放電プロセスが行われることが望ましい場合もある。

【0083】たとえば、このタイム・セルの基礎を形成する特定のタイプの不揮発性メモリ・セルは図1に示されていない消去ゲートまたはその他の要素を含む可能性があり、良好な動作特性を維持するために、フローティング・ゲートとチャネルの間の絶縁層の厚さが引き続き8nm以上でなければならないと判断されているが、これはフローティング・ゲートの所望の放電率をもたらすものではない。実際に、6カ月という所望の時間測定期間の間、この絶縁層を通るトンネル効果はほとんど無視できるものである。しかし、この他の領域が同様の動作上の制約を持っていない場合にフローティング・ゲートとセル内の他の領域との間の薄くした絶縁材を通るトンネル効果を可能にすることにより、所望の放電率を達成することは可能である可能性がある。別法として、製作またはその他の考慮事項に基づいて、フローティング・ゲートとチャネルとの間の絶縁層について典型的な厚さを使用し続けることが望ましい場合もある。しかし、特別な要素、構造、または領域がフローティング・ゲートに隣接し、トンネル効果の大部分が「主要トンネル領域」というこの特別な専用領域を通過して行われるようにすることができる。この場合、その動作特性、すなわち、その放電率がそのモデル挙動に密接に近づくようにな、主要トンネル領域の製作を制御することに余分な処理または精度を集中させることができる。

【0084】本発明のこの実施形態に使用するタイム・セルは、当技術分野で周知の通り、タイム・セルを消去できるようにする消去ゲートなどの消去要素を含むことができる。電荷蓄積素子をプログラミングした後の任意の時点でタイム・セルを消去すると、電荷蓄積素子からその保持静電荷のほとんどまたは全部が除去される。一般に消去は、電界蓄積素子をプログラミングするために

使用した電界と反対の電界を印加することにより行われる。

【0085】消去要素は、測時装置としてのタイム・セルの反復使用を可能にするという利点をもたらす。タイム・セルは、消去した後、再プログラミングすることができ、それにより、他の期間測定が可能になる。

【0086】しかし、消去要素には欠点がある。タイム・セルを消去した後、電荷蓄積素子内の低電位の差が長期間にわたる漏れによって発生したものかまたは消去によるものかを判定することが不可能になる可能性がある。

このため、消去要素の使用は、電荷蓄積素子がその電荷を大幅に失ったのかまたはそれが単に消去されただけなのかを追跡または判定するという管理上の負担をもたらす。そのうえ、タイム・セルの反復使用によってその動作特性が変化する可能性がある。複数のプログラミング消去サイクルによって電荷蓄積素子の漏れ率が変化する可能性があり、それにより、期間を決定する方法が不正確になる。

【0087】しかし、消去要素の存在によってタイム・セルを様々な測時アプリケーションに使用できるようになることは、利点の1つである。しかし、このような利点および欠点は、消去要素をタイム・セルに組み込むことを決定する際に熟考しなければならない。

【0088】本発明のこの実施形態は、従来技術で既知であり十分確立された電荷蓄積素子を含む不揮発性メモリ・セルの様々な構造、プログラミング動作、読み取り動作、消去動作に依拠していることに留意されたい。しかし、従来技術では測時装置としての不揮発性メモリ・セルの使い方を教示していない。そのうえ、従来技術では、不揮発性メモリ・セル内の電荷蓄積素子からの電荷漏れを有害で厄介なことと見なしており、むしろ、従来技術では、電荷漏れは回避しなければならず、潜在的に排除しなければならないと教示していた。本発明では、それが有用になるような方法で電荷漏れ率を選択できるという新規の所見を示す。この新規の所見を使用すると、不揮発性メモリ・セル内の電荷蓄積素子は、経過期間を決定できるようにその動作の測定を可能にする測時装置として設計することができる。特にこの実施形態では、前述のように、それを通じて保持電荷が漏れる絶縁材の機械形状および物理的性質は、漏れ率を制御するように選択される。

【0089】静電荷を蓄積する本発明の装置と従来技術の装置との相違点

本発明の大まかな概要を示す静電砂時計として本発明を説明し、不揮発性メモリ・セルを測時装置として使用する一実施形態でも本発明を説明し、それにより、本発明の一例を示してきた。この時点では本発明の上記の説明を考慮し、本発明の新規性を強調するために、本発明の装置と静電荷を使用する一部の従来技術の装置との区別をつけることは適切なことである。

【0090】静電荷を使用し研究するための従来技術の装置は多数存在したが、そのうちの一部は歴史的に興味深いだけである。たとえば、ライデン瓶はキャバシタまたは「電気コンデンサ」の初期の形式であり、ガラス瓶の内側および外側をアルミニウム箔またはスズ箔などの金属層でコーティングすることによって形成されているが、初期のバージョンは内部に金箔または水溶液を含んでいた。黄銅ロッドがその瓶の絶縁ストッパを刺し、黄銅ロッドはチェーンによって金属の内部層に接続される。黄銅ロッドを電気装置に接触させることによりその瓶に静電荷を蓄積することができ、2つの金属層が導体によって互いに接続されると放電が行われる。

【0091】もう1つの静電計器は検電器であり、これは計器内の帯電体間で発揮される機械力によって電荷を検出する。ライデン瓶と同様のバージョンでは、金属でコーティングされたガラス瓶の絶縁ストッパを刺す金属ロッドから2つの金箔片が吊り下げられている。検電器が帯電すると、金箔片内の電荷によって金箔片が互いに反発するにつれて金箔片はばらばらに広がり、金箔片間の角度は受け取った電荷に比例する。現在、様々なタイプの最新検電器が静電荷を測定するための計器として使用されている。

【0092】今日のキャバシタはあるクラスの静電記憶装置であり、それに関して従来技術では、静電気を放電する作用は時間的に意味のあるプロセスであることを認識している。単純なキャバシタは通常、導電性材料たとえば金属で作られ、非導電材料（誘電体）たとえば空気、セラミック、ガラスなどによって分離された2枚のプレートから構成される。キャバシタ・プレートに電位が印加された場合、そのプレートは、一方は正に、もう一方は負に、容量性の帯電状態になる。次に外部から印加された電圧がキャバシタの導電接点から除去された場合、キャバシタ・プレートは帯電状態のままになり、電荷は2枚のプレート間の電位を維持する。このデバイスが電荷（キャバシタンス）を蓄積する能力は、プレートの面積を大きくするか、その分離を小さくするか、または誘電体として使用する物質を変化させることによって増加することができる。

【0093】キャバシタはエネルギーを蓄積することができ、キャバシタと直列に配置された抵抗器はそれが充電または放電する速度を制御することになり、それによって指數関数でモデル化できる特徴的な時間依存性が生まれる。この時間依存性を記述する重大なパラメータは「時定数」RCである。直列回路の時定数またはRC積は、キャバシタの両極管の電圧が変化可能な速度を決定する。産業界では、抵抗器とキャバシタを結合する回路は、タイミング回路、信号発生器、電気信号の整形とフィルタ、様々な電子機器で使用できるので、重要なものである。しかし、非常に大きいキャバシタを非常に大きい抵抗またはインピーダンスと結合した場合でも、キャ

バシタの放電時間は一般に非常に短く、通常はミリ秒程度であるが、ことによると数時間になる。

【0094】上記の従来技術の装置を充電または放電するため、一般に装置と他の材料との導電接触が必要である。たとえば、第2の帯電状態の物体でそれに接近することにより検電器またはキャバシタを容量性の帯電状態にでき、それにより、屋外または自由空間により検電器またはキャバシタ内で電荷の分離を誘導する。しかし、検電器またはキャバシタでは、接近する物体の斥力により検電器またはキャバシタ内のある量の電荷を恒久的に置換するために、他の材料との導電接触を必要とする。

【0095】本発明の電荷蓄積素子の充電プロセスは、検電器またはキャバシタの充電プロセスとは異なる。本発明では、導電接触なしに電荷が絶縁材を通って電荷蓄積素子の内部媒体に運ばれる。絶縁材は、受領プロセスと放電プロセスの両方で内部媒体に蓄積される電荷の量の変化に対する重要なバリアとして作用し、それにより、完全なバリアにならずに内部媒体内の電荷の量を保護する。内部媒体との導電接触は一切不要である。

【0096】自由空間、屋外、または非導電材料による急速放電を引き起こすことにより、帯電した検電器または帯電したキャバシタは他の材料との導電接触なしに放電することができる。その場合、通常、電気放電は、帯電物体と他の物体との間の電位が非常に大きくなるように2つの物体間のギャップを狭くすることによって行われ、その時点で電荷がギャップを飛び越えるか絶縁材が絶縁破壊を経験する。

【0097】あまり重要ではない一見地から見ると、上記の検電器またはキャバシタと本発明はどちらも、その幅など、絶縁材の寸法を変化させることによって電気放電を制御することができる。しかし、従来技術では、通常、蓄積した静電荷は、他の装置に対する間接効果について研究されるか、または何らかのタイプの意味のある作業を行うために使用するエネルギー貯蔵庫と見なされていた。従来技術では、静電砂時計として理解できる本発明と砂時計との類似点の項で前述したように、蓄積した静電荷は計時物質として使用できることを認識していない。

【0098】そのうえ、従来技術では、放電プロセス自体がほとんどの静電記憶装置によって時間的に意味のあるものであることを認識していない。キャバシタの場合、従来技術では、その放電率が時間的に意味のあることを認識しているが、キャバシタは完全に絶縁されているわけではなく、導電接触の使用によってのみ動作する。そのうえ、放電プロセスはキャバシタが導電接触する他の電気または電子コンポーネントに電力供給するので、キャバシタを伴う測定的に実用的なアプリケーションだけが有用である。実際に、キャバシタは通常、何らかのタイプの電気タイム・ベースを達成するために充電

プロセスと放電プロセスを循環するように使用する。通常、緩和発振器または緩和発生器と呼ばれ、抵抗器によりキャパシタまたはコイルを充電または放電する時間によって、基本周波数を発生することができる。このため、キャパシタは、どの測時アプリケーションについても比較的大量のエネルギーを放散するので連続電源を必要とし、これが本発明の動機付け要因をもたらし、電子測時装置が時間を測定し続ける間に電源を解消することができる。

【0099】キャパシタとは対照的に、本発明は、時間的に意味のあるプロセスとして放電プロセス自体を使用できるように、ある期間の経過につれて絶縁された電荷蓄積素子から静電荷が放電される放電プロセスに依拠している。本発明が時間測定を実施する方法により、潜在的に長い期間にわたる一般的な日常活動が可能になる。

【0100】測時装置としての絶縁された電荷蓄積素子次に図18を参照すると、このブロック図は、本発明の一実施形態による測時装置として使用可能な絶縁された電荷蓄積素子を示している。システム200は、測定期間の開始時に測時装置を初期設定し、初期設定以降の経過期間を決定するために必要な支持要素、構造、または装置を提供する。

【0101】プログラミング・ユニット202は、その動作のために電源A 204から電力を引き出す。プログラミング・ユニット202はプログラミング要求信号206を受け取り、この信号は電荷蓄積素子を初期設定するようプログラミング・ユニット202に指示し、その後、電荷発生器208は充電プロセス210を使用して、電荷蓄積素子の絶縁材内に電荷を向けるかまたは注入する。

【0102】前記の通り、本発明では電荷蓄積素子を充電するための様々なプログラミング・メカニズムおよびプログラミング時間を使用することができるが、その選択は、絶縁材のサイズと組成、電荷蓄積素子の幾何形状などのいくつかの要因に依存する。たとえば、電荷蓄積素子がF G F E T内のフローティング・ゲートとして実施される場合、充電プロセスはチャネル・ホット電子注入によって実施することができる。電荷蓄積素子を含む他のトランジスタ構成の場合には、他の電荷注入メカニズムが適切である場合もある。まったく異なる実施例においてトランジスタ内に含まれない電荷蓄積素子を含む場合、特に電荷蓄積素子の絶縁材が自由空間を含む場合、プログラミング・メカニズムは、内部媒体をイオン化可能な電子ビームまたはレーザ・ビームなどのまったく異なる充電プロセスを含む可能性がある。

【0103】プログラミング・ユニット202は、プログラミング動作が成功したかどうかをプログラミング・リクエストに示す、任意選択の状況信号212を供給することができる。このようにして、プログラミング・ユニット202を同期的に動作させることができる。別法

として、プログラミング・ユニットは、エラー検出時のみ状況信号を発生することにより、非同期的に動作することもできる。プログラミング・ユニットと通信するための様々なメカニズムは、当業者にとって明らかなはずである。

【0104】電荷蓄積素子の絶縁材は電荷に対する完全なバリアをもたらすものではない。電荷蓄積素子222の内部媒体224は絶縁材220を通して電荷を受け取り、それにより、システム200内の他のコンポーネントに対する初期電位を電荷蓄積素子222に与える。内部媒体に蓄積された静電荷は、静電放電プロセス226によって絶縁材220を通して直ちに放電し始める。

【0105】時間検出ユニット230は、その動作のために電源B 232から電力を引き出す。別法として、単一電源で必要なすべての電力をシステム200に供給することもできる。

【0106】電荷蓄積素子222がプログラミングされた後の所与の時点で、時間検出ユニット220は時間測定要求信号234を受け取る。時間検出ユニット230内の静電検出器236は、直接的または間接的に、電界228を通る電荷蓄積素子222の残留電位の値を決定し、それは電位/時間変換器238によって経過時間値または経過時間表示に変換される。次に経過時間信号240は、電荷蓄積素子の観測を要求した装置に送られる。経過時間表示は、タイムスタンプ、複数の時間単位として経過時間を指定するデータ値、経過時間が所定の期間より長いかどうかを指定する2進表示など、様々な形式を有することができる。

【0107】システム200は、複数の装置として実施することができる。プログラミング・ユニットは、そのプログラミング動作中に電荷蓄積素子を含む装置に物理的に結合することができ、その後、プログラミング・ユニットは切り離される。その後のある時点で、時間測定ユニットは、その経過時間測定中に電荷蓄積素子を含む装置に物理的に結合することができ、その後、時間測定ユニットは切り離される。この複数装置複数動作環境は、外部から電力供給を受ける単純なスマート・カード、PCMCIAカード、その他の物理的なものまたは製品など、携帯用装置に電荷蓄積素子が存在するようなアプリケーションで発生する可能性がある。しかし、前記の通り、本発明の測時装置は、測時装置が埋め込まれる製品など、そのアプリケーションに応じて様々な形式で実施することができる。

【0108】次に図19ないし図20を参照すると、この流れ図は、本発明による測時装置を使用するコンピュータまたは電子装置内で実行可能な単純なプロセスを示している。図19ないし図20に示すプロセスは、データ処理システム内のコンピュータ状のハードウェアまたはソフトウェアによって実行することができる。図19の電荷蓄積素子を初期設定するためのプロセスは、プロ

グラミング・ユニットにプログラミング要求を送る(ステップ252)によって始まる。任意選択で、プログラミング・プロセスが完了した後、プログラミング・ユニットから状況信号を受け取る(ステップ254)。これでプロセスは完了し、要求側論理は他の動作を実行することができる。

【0109】図20の経過期間の値または観測結果を入手するためのプロセスは、時間検出ユニットに時間測定要求を送る(ステップ262)によって始まる。次に時間検出ユニットから経過時間値を受け取る(ステップ264)。これでプロセスは完了し、要求側論理は他の動作を実行することができる。プログラミング・ユニットおよび時間検出ユニットからデータを送受するための様々な方法は、当業者にとって明らかはずである。たとえば、ユニットがアドレス可能なメモリである場合、プログラミング要求と時間測定要求は単純なメモリ書込みコマンドによって送ることができる。

【0110】測時装置として使用可能な1組または複数組の2進タイム・セル

本発明の第3の実施形態は、単一タイム・セルではなく、1組のタイム・セルを測時装置として使用することによって第1の実施形態を拡張するものである。第1の実施形態では、それがプログラミングされた後の所定の期間内にそのトランジスタのしきい値電圧を所定の値まで低減するよう設計されたタイム・セルで読み取り動作が実行され、この読み取り動作により、タイム・セルの現行状態から所定の期間が経過したかどうかを判定することができる。

【0111】第3の実施形態では、1組のタイム・セルで1組の読み取り動作が実行され、その1組に含まれる各タイム・セルはそれがプログラミングされた後の所定の期間内にそのトランジスタのしきい値電圧を所定の値まで低減するよう設計されている。換言すれば、その1組のタイム・セル内の各タイム・セルは、その1組に含まれる他のタイム・セルとは異なる放電閑数を所有する。その1組に含まれる各タイム・セルは、他のタイム・セルとは異なる期間にわたって異なる減衰を示す。各タイム・セルの電荷蓄積素子内の保持静電気の量は、各タイム・セルで読み取り動作を実行し、各タイム・セルの閑連期間が経過したかどうかを判定することによって観測される。この読み取り動作により、タイム・セルの現行状態から各タイム・セルの所定の期間が経過したかどうかを判定することができ、それにより、複数の期間に関する細分性が得られる。

【0112】各タイム・セルがフローティング・ゲートFETを含む装置では、各FET内のトンネル酸化物の厚さは、1組のタイム・セル間で固有のものにすることができる。その場合、各タイム・セルは、固有のプロファイルの電子トンネル効果を経験し、各フローティング・ゲートに異なる電荷消失閑数を与えることにな

る。各フローティング・ゲートの保持電荷が減少するにつれて、各FETのしきい値電圧は固有の速度で減少することになる。

【0113】各タイム・セルを同じように構築する必要がないことに留意されたい。たとえば、1組のタイム・セル内の各タイム・セルのトランジスタは別々のタイプのトランジスタにことができる。そのうえ、1組のメモリ・セル内のトランジスタが同じタイプのトランジスタである場合、各トランジスタ内のトンネル領域がそれそれ異なる可能性もある。別法として、各タイム・セルは、トランジスタ以外の他のタイプの電荷蓄積素子を含むことができる。

【0114】1組のタイム・セル全体では、各タイム・セルの初期条件が変化するので、放電閑数もそれぞれ異なる可能性がある。たとえば、種々の長さの時間について1組の同一のタイム・セルをプログラミングすることができ、それにより、各タイム・セルにそれぞれ異なる初期量の電荷と、短期間または長期間を測定するためのそれぞれ異なる能力を提供するが、各タイプのタイム・セルはそれぞれ異なるように構築することができ、種々のプログラミング期間を有することもできる。引き続きこの例について説明すると、1組のタイム・セル内の各タイム・セルがほぼ同一のフローティング・ゲートFETを含む装置では、各FETのプログラミング期間は、その1組のタイム・セル間で固有のものにすることができる。その場合、各タイム・セルは、固有のプロファイルの電子トンネル効果を経験し、各フローティング・ゲートに異なる電荷消失閑数を与えることになる。各フローティング・ゲートの保持電荷が減少するにつれて、各FETのしきい値電圧は固有の様式で減少することになる。

【0115】上記の本発明の第2の実施形態には複数放電閑数の概念も適用可能であることに留意されたい。たとえば、複数の絶縁された電荷蓄積素子は、種々の方法で充電し放電することができる。

【0116】次に図21を参照すると、このブロック図は、本発明の第3の実施形態による1組のタイム・セルを示している。図21は、各タイム・セルが固有の期間を測定するように構築された16個のタイム・セル301～316からなるセットを示している。たとえば、これらのタイム・セルは、トンネル領域またはプログラミング期間を変化させて、不揮発メモリ・セルに関して前述した方法で構築することができる。

【0117】タイム・セルは様々なサイズのM×Nのアレイとして配置することができ、タイム・セル・アレイは様々な周知のメモリ・アーキテクチャにより構築することができる。前述の通り、タイム・セルの読み取り動作は不揮発性メモリ・セルの読み取り動作と同様であり、タイム・セル・アレイの動作は不揮発性メモリの動作と非常によく似ている場合もある。したがって、たとえば、

8個のタイム・セルが单一動作で初期設定されるかまたは読み取られるようなバイト状のユニットでタイム・セルが動作するように、タイム・セルを配置することもできる。図示または説明したタイム・セル・アレイは、複数のタイム・セルを配置可能な方法について本発明を制限するものとして解釈してはならない。

【0118】前述のように、各個別タイム・セルの具体的な幾何形状、寸法、または物理的特性は、装置が製造されたときに選択される。しかし、所与のタイム・セルによって測定される期間は、可変量の静電荷をタイム・セルに蓄積することにより、特定の範囲内で調整することができる。

【0119】タイム・セル・インターフェース・ユニット320は、タイム・セル310～316をアドレス指定するために必要な単純な回路を提供する。タイム・セル・インターフェース・ユニット320は、1つまたは複数のタイム・セルを初期設定することを示す、プログラミング要求処理ユニット322からの信号に応答する。プログラミング要求処理ユニット322は、データ処理システム内の他のコンポーネントからの初期設定要求324に応答する。

【0120】タイム・セル・インターフェース・ユニット320とタイム・セル301～316は、外部から電力供給を受ける単純なスマート・カードのように、携帯用装置などの物理的に分離可能な物体内に存在することができる。その場合、タイム・セル・インターフェース・ユニット320は、初期設定動作または読み取り動作のためにそれがインターフェースを取る装置から、初期設定動作または読み取り動作を実行するための電気を入手する。

【0121】また、タイム・セル・インターフェース・ユニット320は、タイム・セル301～316の時間表示を要求する、時間検出ユニット326からの信号にも応答する。時間検出ユニット326は、プログラミング要求処理ユニット322から物理的に分離可能な装置上に存在することができる。1回または複数回の読み取り動作により、タイム・セルの現行状態から、所定の期間が経過したかどうかを判定することができ、それにより、複数の期間に関する細分性が得られる。

【0122】前記の通り、プログラム式タイム・セルの期間は、タイム・セルでの読み取り動作によって論理「0」が返されたときに満了したと判定することができ、より簡単に言えば、それがプログラミングされた後の何らかの時点で論理「0」を含む場合に「タイム・セルが満了した」と判定することができる。図21に示す例では、16個のタイム・セルのすべてを单一時間検出動作で読み取ることができ、それにより、16ビットの時間情報が生成される。このため、16ビットの2進値によってタイム・セル・アレイの内容全体を表すことができ、以下に説明するように、結果として得られる16ビットのストリングによって、タイム・セル・アレイの

10 19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

320

321

322

323

324

325

326

の計算をサポートするシステム・コールを含むので、最初のリクエストは実際には使いやすくするためにこの形式で経過時間を返してほしいと希望する場合もある。

【0126】上記の期間表現は、経過期間を報告可能な方法について本発明を制限するものとして解釈してはならない。

【0127】初期設定要求またはプログラミング要求は、新たに製造したタイム・セル・アレイの初期設定動作と、タイム・セル・アレイ内のすべてのタイム・セルまたはタイム・セル・アレイ内のセルのサブセットを効果的に初期設定する消去動作の両方を開始することができる。別法として、プログラミング要求処理ユニットは、別々の消去要求またはリセット要求を受け入れることができる。一般に、タイム・セル・アレイ内のすべてのタイム・セルは同時に初期設定されるだろうが、複数の経過期間が測定されるようにタイム・セル・アレイを複数のタイム・セル・サブセットに分割することは可能である。

【0128】次に図22を参照すると、このブロック図は、本発明の一実施形態により複数組のタイム・セルに分割されたタイム・セルのアレイを示している。図22は、図21に示すものと同様の16個のタイム・セルからなるセットを示している。タイム・セル・インターフェース・ユニット330は、タイム・セル331～346をアドレス指定するために必要な単純な回路を提供する。

【0129】タイム・セルは様々なサイズのM×Nのアレイとして配置することができる。たとえば、16個のタイム・セルを含むタイム・セル・アレイを4個のタイム・セルからなる4組のセットに分割することができ、4組のセットは各セットが種々の期間を測定するように構築することができる。

【0130】図22に示す例では、タイム・セル331～334が單一セットを形成し、そのセットはひとまとめになって1週間刻みで4週間の期間を測定する。タイム・セル335～338も1組のタイム・セルを形成し、そのセットは1週間刻みで4週間の期間を測定する。タイム・セル339～342と、タイム・セル343～346は2組のセットを形成し、各セットはひとまとめになって2カ月刻みで8カ月の期間を測定する。

【0131】4個のタイム・セルからなる各セットは、種々の開始時間で種々の目的のために種々のデータ処理システムによって初期設定することができる。このタイム・セル・アレイは最大4通りの期間または4通りの「タイム・セット」を監視することができるが、一般に、タイム・セットの最大数は、タイム・セル・アレイ内のタイム・セルの数と、タイム・セルが複数通りの期間を測定するよう構築される方法に依存することになる。このタイプの機能の場合、タイム・セル・インターフェース・ユニット330は、特定のタイム・セットがす

でに使用中であるかどうかを示す使用インジケータを記憶し、特定のタイム・セットを「所有する」データ処理システムを識別する情報を記憶するために、タイム・セット識別子ユニット348などの他の不揮発性メモリ・セルを有することができる。

【0132】タイム・セットが初期設定または開始された時間を感知装置が読み取れるように、タイムスタンプもタイム・セット識別子ユニット内の不揮発性メモリ・セルに連想方式で記憶することができる。タイム・セット識別子ユニットは、要求に使用可能なタイム・セットに関する情報もプログラミング要求処理ユニットに供給することができる。

【0133】次に図23を参照すると、このブロック図は、本発明の一実施形態により複数の期間を測定するためのタイム・セルのアレイを示している。図23は、図21に示すものと同様の16個のタイム・セルからなるセットを示している。タイム・セル・インターフェース・ユニット350は、タイム・セル351～366をアドレス指定するために必要な回路を提供する。この例では、すべてのタイム・セルは同一の関連期間を有し、タイム・セル・アレイを含む装置は種々の開始時間で同時に進行する16通りの期間を監視することができる。この場合も、1つのタイム・セルに関連する期間は、そのタイム・セルの構築によって設定することができ、それによりタイム・セルに特定の物理的特性を与えるか、またはそのタイム・セルのプログラミング期間によって設定することができ、それによりタイム・セルの放電閑数の初期条件として働く静電荷をそのタイム・セルに与えることに留意されたい。

【0134】タイム・セット識別子ユニット368は、特定のタイム・セルがすでに使用中であるかどうかを示す使用インジケータと、特定のタイム・セルを「所有する」データ処理システムの識別情報と、そのタイム・セルの経過期間が開始された時間を示すタイム・セルに関連するタイムスタンプと、タイム・セル・アレイの動作とその使い方に関係がある可能性のあるその他の情報を記憶することができる。

【0135】図23に示すタイム・セル・アレイは以下のように使用することもできる。タイム・セット識別子ユニットは、タイム・セル351～354を取っておき、單一の要求期間またはタイム・セットについて單一の6カ月の期間を監視することができる。要求期間のために單一のタイム・セルを使用するのではなく、複数のタイム・セルを使用する。時間要求を受け取ると、タイム・セル351～354からの読み取り値を統計的に結合し、その期間が経過したかどうかの判定を形成する。たとえば、少なくとも2つの満了タイム・セルが存在するまで、6カ月の期間は経過したと判定されない。このようにして、タイム・セルは、それぞれの経過時間測定機能で、あるタイプの冗長性またはエラー検査を提供する

ものと見なすことができる。当然のことながら、冗長セットとして使用するタイム・セルの数および経過時間の肯定的判定に必要なタイム・セルの数は様々になる可能性がある。

【0136】タイム・セルの冗長使用もより複雑に使用することができる。もう一度、図22を参照すると、タイム・セル335～338はタイム・セル331～338に対するバックアップ・セットまたはエラー検査セットとして動作することができる。このようなタイム・セル・セットの各セットは1週間刻みで4週間の期間を測定することができ、したがって、タイム・セット識別子ユニットにより、各セットのタイム・セルがその期間を確認する前の最小経過期間を示すことが要求される場合がある。たとえば、もう一度、最下位時間ピットが最短期間のタイム・セルを表すようにタイム・セル・アレイが読み取られると想定すると、タイム・セット識別子ユニットは、2組のタイム・セルが初期設定またはプログラミングされてから2週間の期間が経過したことを肯定的に報告する前に各セットのタイム・セルから0xCという読み取り値を必要とする場合もある。

【0137】次に図24を参照すると、本発明とともに使用可能なスマート・カードの図形描写が示されている。スマート・カード370は、入力制御ボタン374と、電子ディスプレイ376とを含む。ボタン374は、スマート・カード上で動作するアプリケーションが提供する特定の機能を入力し選択するために、スマート・カードの購入者または所有者が使用することができる。

【0138】ディスプレイ376は、おそらくスマート・カードが結合されたかまたはスマート・カードが挿入された装置またはデータ処理システムとともに、スマート・カード内のアプリケーションが生成した情報をスマート・カードのユーザに提示する。別法として、スマート・カード370はディスプレイを持っていないが、ユーザは、スマート・カードに結合し、スマート・カードと対話する読み取り装置を操作することができ、ユーザは読み取り装置のディスプレイ上で任意選択の機能および選択肢を見ることができる。いずれの場合も、ユーザには、タイム・セルを含む物理的なもので1つまたは複数のタイム・セルの状況を示すテキストまたは図形あるいはその両方のインジケータを装置のディスプレイ上で提供することができる。

【0139】次に図25を参照すると、このブロック図は、本発明のタイム・セル・アレイとともに使用可能なスマート・カード内のハードウェア・コンポーネントを示している。スマート・カード380は、図24に示すスマート・カード370など、スマート・カードの典型的な内部ハードウェア・コンポーネントを示している。スマート・カード380は、スマート・カード380上に位置する様々なアプリケーションに処理機能を提供す

るCPU381を含む。メモリ382は、データのロードおよび処理のための一時記憶域を提供する。不揮発性メモリ383は、アプリケーションとそれに関連するデータベースのための永続記憶域を提供する。ディスプレイ・アダプタ384は、ディスプレイ385上で示すプレゼンテーション・データを生成する。ボタン制御ユニット386は、スマート・カード380の物理的インターフェース上のボタンのユーザ選択を読み取って処理する。入出力インターフェース・ユニット387は、スマート・カード380が様々なカード読み取り装置、スキャナ、モデム、その他のコンピュータまたはネットワーク関連品目と対話できるようにするものである。

【0140】ボタン制御ユニット386により、ユーザはスマート・カード380上のアプリケーションに対して様々な選択肢およびデータを入力することができる。追加の入力装置をスマート・カード380とともに含めるかまたはスマート・カード380とのインターフェースを取ることもできる。ディスプレイ385はスマート・カード380と物理的に統合することができるが、他のディスプレイ・ユニットをスマート・カード380に接続することもできる。不揮発性メモリ383としては、読み取り専用メモリ、フラッシュROM、ニューヨーク州アーモンクに所在するIBM社の製品であるIBM MicroDriveなど、様々な記憶装置および記憶機能を含むことができる。また、スマート・カード380は、Java(R)のアプリケーションおよびアプレットを実行可能なJava(R)の仮想計算機を含むこともできる。当業者であれば、実施上の様々な考慮事項に応じて図25のハードウェアが様々な可能性があることが分かるだろう。たとえば、スマート・カード380内の電子機器は単一チップ上で実施可能であることに留意されたい。また、スマート・カードの代わりにPCMICAカード、フラッシュ・メモリ・カード、様々なタイプの製品など、他のタイプの物理的なものを使用できるだろう。

【0141】スマート・カード370またはスマート・カード380は、本発明による無電池無発振器測時装置も含む。タイム・セル・アレイ388は、図21ないし図23に関連して前述した1つまたは複数の方法と同様に期間を測定するためにタイム・セル・インターフェース・ユニット389によって制御される。別法として、このスマート・カードは、単一のタイム・セルを含むこともできる。スマート・カード・アプリケーション用の計時要件の複雑さにより、1つまたは複数のアプリケーション固有の目的のためのタイム・セル構成のタイプが決定される可能性がある。

【0142】スマート・カード380はプログラミング要求処理ユニットと時間検出ユニットを含む装置に結合することができ、またはスマート・カード380は種々の時期に別々の装置に結合することができる。

【0143】次に図26を参照すると、このブロック図は、本発明の一実施形態によるプログラミング装置と感知装置と測時装置との関係を示している。測時装置は、図21ないし図23に関連して前述したものと同様の1つまたは複数のタイム・セルを含む。

【0144】システム390は、無電池無発振器電子スマート・カード装置392に接続された初期設定装置391を示し、次にこのスマート・カード装置は読み取り装置393に接続されている。これらの装置はすべて同じシステム内に位置することは可能であるが、アプリケーションによっては、各装置が異なるシステム、製品、コンポーネント、その他の装置内に物理的に位置することも可能であり、これらは何らかの方法ですべてまとめてネットワーク化することができる。たとえば、無電池スマート・カードは、初期設定装置391を使用して発行機関が初期設定する場合もある。消費者は、それが経過期間を監視している間、スマート・カードを所持し、小売商にスマート・カードを提示することができる。その場合、読み取り装置393を含む小売商のデータ処理システムは、様々なビジネス上の理由からスマート・カードの経過期間を決定することができる。

【0145】プログラミング装置回路および読み取り装置回路の多くはスマート・カード392上に実施することができる。しかし、追加回路によりスマート・カードの製造コストが増大し、他の商売上の考慮事項が存在する場合もある。スマート・カードはこのような追加回路を含むことができるが、タイム・セルは依然として無電力または無電池動作を対象とすることに留意されたい。たとえば、スマート・カードは、プログラミングまたは初期設定回路、1つまたは複数のタイム・セル、読み取りまたは感知回路を含むことができるが、その場合、プログラミング回路と感知回路はスマート・カードの外部にある電源から電気を引き出す。

【0146】初期設定装置391は、プログラミング・コマンドを受け取って、プログラミング動作(図示せず)に関する状況を送るプログラミング・ユニット394を含む。プログラミング・ユニット394は、タイム・セル395のプログラミング動作を制御する。プログラミング動作が完了すると、タイム・セルは時間の経過についてその蓄積電荷を放電する。

【0147】その後のある時点で、スマート・カード392は読み取り装置393に結合され、その中にある時間検出ユニット396が前述したようにタイム・セル(複数も可)の現行しきい値電圧(複数も可)を決定し、何らかの方法でまたはリクエストに返される現行しきい値電圧に対応する経過時間を返す。

【0148】プログラミングFGFETおよび電荷損失感知FGFETに共通の拡張フローティング・ゲートを備えた測時装置

本発明の第4の実施形態は、本発明による測時装置用の

絶縁された電荷蓄積素子としてフローティング・ゲート電界効果トランジスタ(FGFET)のフローティング・ゲートを使用するという概念を拡張するものである。好ましくは、プログラミングFGFETおよび電荷損失感知FGFETは、共通の拡張フローティング・ゲートを有する。プログラミングFGFETは、典型的なFGFETが蓄積する静電荷の量より多い静電荷を備えた共通フローティング・ゲートをプログラミングするために使用する。選択した時点で、フローティング・ゲートの電位は電荷損失感知FGFETの援助によって電荷損失感知装置により間接的に決定され、その測定値は経過時間値に変換される。事実上、電荷損失感知FGFETは、期間の経過について装置が失う蓄積静電荷の量を感知する。この実施例の装置は、プログラム可能電荷損失感知(PCSFET)フローティング・ゲート電界効果トランジスタまたは単純にPCSFETと呼ぶことができる。

【0149】一般に、PCSFETの動作は、その形式が不揮発性メモリに基づくタイム・セルの動作と同様のものである。前述の通り、この種のタイム・セル用の関連測定可能期間は、そのタイム・セルがプログラミングされた後の何らかの時点で論理「0」を含む場合に満了している。タイム・セルが満了したかどうかの2進判定は、このタイプのタイム・セルを「2進タイム・セル」と呼ぶための基礎となる。対照的に、以下に詳述するように、PCSFETの動作の結果として、経過時間を観測するときにその状態のアナログ測定値が得られる。最終的な出力時間値はデジタル形式になる可能性があるが、PCSFETの状態は最初はアナログ方式で感知される。このため、PCSFETは「アナログ・タイム・セル」と呼ぶこともできる。

【0150】次に図27ないし図28を参照すると、共通フローティング・ゲートとともにプログラミングFGFETと電荷損失感知FGFETとして、本発明の第4の実施形態の測時装置の記号表現が示されている。図27のプログラミングFGFET402は、共通フローティング・ゲート406により電荷損失感知FGFET404(単に「感知FGFET」ともいう)に「結合」されている。プログラミングFGFET402は、コントロール・ゲート408と、ドレイン410と、ソース412とを有し、感知FGFET404は、ドレイン414と、ソース416と、コントロール・ゲート418とを有する。しかし、共通フローティング・ゲート406は、両方のFGFET用のフローティング・ゲートとして作用し、プログラミングFGFET402は共通フローティング・ゲート406内に静電荷を蓄積し、感知FGFET404はプログラミング動作後のある時点でフローティング・ゲート406内に保持される静電荷の量を間接的に決定する。

【0151】図28は図27と同様のものであるが、図28は追加の要素が回路に追加された好ましい実施形態

を示している。結合ゲート420は、以下に詳述するよう、本来、結合ゲート420がない場合に可能と思われるものより大量の電荷を共通フローティング・ゲートに蓄積するのを援助する。

【0152】共通フローティング・ゲートに電荷を蓄積するためには、フローティング・ゲートをプログラミングしなければならない。プログラミング動作中は、プログラミングF G F E Tのみを使用する。電荷損失感知F G F E Tはアイドル状態のままになり、そのソース、ドレイン、コントロール・ゲートでの電圧は浮動できるようになるか、またはアースに結合される。好ましくは、プログラミング・メカニズムは、そのソースをアースに結合し、そのコントロール・ゲートとドレインを十分高い電圧に結合することにより、プログラミングF G F E Tによるチャネル・ホット電子注入になる。

【0153】この実施形態では、共通フローティング・ゲートを使用して、典型的なF G F E Tが蓄積可能なものより大量の電荷を蓄積する。大量の蓄積電荷により2つの利点が得られる。第1に、共通フローティング・ゲートは、大量の蓄積電荷を放電するためにより長い期間を必要とする。このため、装置がその時間監視動作モードになっているときに、より長い経過期間を監視することができる。

【0154】第2に、図12ないし図17に関して前述したものと同様に、初期電荷がより大きいので電荷消失関数の初期条件が増加する。また、初期電荷が大きいことにより、電荷損失感知F G F E Tはより高い初期しきい値電圧を有することになり、しきい値電圧消失図を見て右方向に消失または放電閾値をシフトする。このため、設計者は、P C S F E T装置が経過期間中に動作する際のしきい値電圧の範囲を選び取ることができる。この点が重要である理由の1つは、P C S F E Tを含む回路が所与の電圧内で動作することであり、P C S F E Tの動作しきい値電圧は周囲の回路の設計または動作を単純にするような電圧値の範囲内に入れることができる。

【0155】しかし、プログラミング動作中に、フローティング・ゲートに電荷が蓄積するにつれて、その蓄積電荷は、プログラミングF G F E Tのトンネル酸化物内に放出される増加中の電子をはね返し、電子はチャネル内にはね返される。このシナリオでは、フローティング・ゲートの電位は、所望のものより小さい値に制限されるだろう。

【0156】共通フローティング・ゲートにより多くの電荷を蓄積するため、結合ゲートに適切な電圧が印加される。結合ゲートは共通フローティング・ゲートにより電界を誘導し、より大きいキャパシタンス、すなわち、電荷を蓄積するためのより大きい能力をフローティング・ゲートにもたらす。結合ゲート、共通フローティング・ゲート、その他の領域の構成については、図32に関連して詳述する。

【0157】次に図29を参照すると、同図は、プログラミング動作中に装置の様々な端子に印加される電圧を示している。

【0158】プログラミング・プロセス中にプログラミングF G F E T内にC H E注入を誘導するため、ここで V_{pp} という高い正電圧がプログラミングF G F E Tのドレインで印加される。フローティング・ゲートに電子が注入されるので、より多くの注入電子をフローティング・ゲート内またはフローティング・ゲート上に引き寄せるためにここで V_{cc} という高い正電圧が結合ゲートに印加され、したがって、フローティング・ゲートは結合ゲートがない場合より高い電位に到達することができる。プログラミング・プロセス中にフローティング・ゲートの電圧がより高い値に接近するように、結合ゲート電圧 V_{cc} は V_{pp} よりわずかに高くなる。

【0159】プログラミングF G F E Tのソースはアースに結合され、そのコントロール・ゲートは電圧 V_{rc} を受け取るが、その電圧は V_{pp} とほぼ同じ電圧になる可能性がある。感知F G F E Tの端子はバイアスがかけられておらず、浮動できるようになっている。

【0160】次に図30を参照すると、同図は、本発明の一実施形態による装置の感知動作中に様々な端子に印加される電圧を示している。この実施形態のプログラム式装置について経過期間を決定する方法は、他の実施形態について前述した時間検出動作とは大幅に異なるものである。この実施形態の時間検出動作は、フローティング・ゲート上の保持電荷の保持電位が電荷損失感知F G F E Tにより間接的に決定または「感知」される、しきい値電圧感知動作を含む。図30は、感知動作中に装置に印加される電圧を示している。感知F G F E Tのソース、コントロール・ゲート、ドレインは、以下に詳述するように感知動作を可能にするような方法で、 V_{ss} 、 V_{sc} 、 V_{so} によってそれぞれバイアスがかけられている。結合ゲートの上部接点はバイアスがかけられておらず、浮動できるようになっているが、結合ゲートの下部部分は電荷損失感知F G F E Tのソースと同じ電圧でバイアスがかけられており、これは図30に V_{ss} として示されているものである。プログラミングF G F E Tの端子はバイアスがかけられておらず、浮動できるようになっている。

【0161】次に図31を参照すると、同図は、本発明の一実施形態による結合ゲートと協力して共通フローティング・ゲートにより電荷損失感知F G F E Tに結合されたプログラミングF G F E Tを含む物理装置を示している。図31は物理的なP C S F E T装置の平面図を示している。また、図31は、プログラミング動作および感知動作中に装置に印加される電圧のほとんどを示しているが、図29および図30に関して前述したように、これらの電圧は必ずしも同期してまたは同時に印加されるとは限らない。

【0162】図31に示すように、共通フローティング・ゲートの一部分は、プログラミングFGFETのコントロール・ゲートとチャネルとの間に垂直に配置され、感知FGFETのコントロール・ゲートとチャネルとの間にも垂直に配置されている。プログラミングFGFETまたは電荷損失感知FGFETの断面図は図1に示すFGFETと同様のものに見えるだろうが、PCSFET内の共通フローティング・ゲートは明らかにプログラミングFGFETと電荷損失感知FGFETとの間に延びている。

【0163】この構成により、プログラミングFGFETと感知FGFETはどちらもトンネル領域を有し、それを通じてプログラム式共通フローティング・ゲート内の捕捉静電荷をファウラ・ノルトハイム・トンネル効果により放電することができる。前述の通り、トンネル領域の物理的性質および寸法は、共通フローティング・ゲートからの放電率を制御するように構築することができる。その場合、PCSFETの全体的な放電閾数は、プログラミングFGFETと電荷損失感知FGFETの放電閾数の合計に等しい。しかし、このようなトンネル領域の寸法および性質に応じて、一方のトンネル領域を故意にもう一方の領域より優勢であると見なすことができる。

【0164】別法として、プログラミングFGFETおよび電荷損失感知FGFET内の共通フローティング・ゲートとチャネルとの間の領域は、関心のある期間にわたってこれらの領域でのファウラ・ノルトハイム・トンネル効果が無視できるものになるように構築することができる。むしろ、PCSFETは、共通フローティング・ゲートに隣接して1つまたは複数の主要トンネル領域を有することができる。前述の通り、主要トンネル領域は、その理論モデルを厳密に遵守する実際の装置を達成するために、装置内の他の要素より高い精度で構築することができ、それにより、関心のある期間中により精密な時間測定を行えるようになる。

【0165】タイム・セルの所望の動作特性を得るようにより制御可能な物理的性質の一部に関する他の例として、フローティング・ゲートFETのフローティング・ゲートまたはその他の要素あるいはその両方の諸態様を単独でまたは組み合わせて修正することができる。フローティング・ゲートが蓄積できる電荷の量は、およそ以下のように公式化することができる。

$$C = e_{ox} * A / t_{ox}$$

式中、Cは電荷の量であり、Aがフローティング・ゲートの面積であり、 e_{ox} は絶縁材（たとえば、酸化物）の誘電率であり、 t_{ox} は酸化物またはその他の絶縁材の厚さである。フローティング・ゲート内またはフローティング・ゲート上の初期電荷の量を変化させるために、これらのパラメータのそれぞれまたは初期電荷/プログラミング時間あるいはその両方を変化させることができる

る。ただし、これらのパラメータを変化させるには、装置を作成するために使用する製作プロセスの変更が必要な場合もあることに留意されたい。

【0166】また、電界効果トランジスタの他の物理的態様を制御することもできる。チャネル長と幅を変化させることができ、そのそれはトンネル面積に影響する。たとえば、幅広く長い装置はより大きいトンネル面積を有し、それにより、放電プロセスの速度が変化する。しかし、長いチャネル装置のしきい値はかなり高くすることができることに留意されたい。狭いチャネル装置の場合、しきい値は、製作技法に応じて増加または減少する（換言すれば、これは二次効果である）。

【0167】その他の変形例の場合、製作プロセスの変更が必要な場合もある。この場合も、薄い酸化物により、より高速なトンネル効果が可能になり、しきい値が低下する。また、誘電率を高くしても装置のしきい値電圧が低下する。ポリ（ポリオキサイド）上で成長した熱酸化物は、単結晶シリコン上で熱成長した酸化物より高い速度で厚い酸化物でのトンネル効果を可能にする。

【0168】図31では、プログラミングFGFET内の共通フローティング・ゲートの部分の方が、電荷損失感知FGFET内の共通フローティング・ゲートの部分よりわずかに大きくなっている。装置の実施例に応じて、これらの部分のサイズを等しくするか、変化させることができる。

【0169】次に図32を参照すると、この簡略断面図は、本発明の一実施形態によるプログラム可能電荷損失感知FGFETの共通フローティング・ゲートと結合ゲートとの位置関係を示している。この装置は必ずしも一定の縮尺で描かれているとは限らず、酸化物として示されている絶縁材は、複数の製作ステップで付着または形成された1つまたは複数の異なる材料を含むことができる。共通フローティング・ゲートは好ましくはポリシリコンから構成される。また、共通フローティング・ゲートは好ましくは、酸化ケイ素などの適切な材料で完全に絶縁されている。結合ゲートは金属またはポリシリコンなどの適切な材料から構成される。

【0170】共通フローティング・ゲートのサイズは、蓄積したいと希望する電荷の量に依存する設計上の選択対象であり、明らかに、特定の時間測定期間について希望する放電閾数の影響を受ける。

【0171】結合ゲート上の V_{ce} の大きさは、フローティング・ゲートに蓄積したいと希望する電荷の量に依存する。結合ゲートおよびフローティング・ゲートの下の基板領域は、アースするか、または結合ゲートに対して適切にバイアスがかけられている。

【0172】好ましくは、共通フローティング・ゲートと結合ゲートとの間の酸化物の厚さは、プログラミングFGFETと電荷損失感知FGFETのトンネル領域の酸化物厚さよりかなり大きい。このプリファレンスは、

結合ゲートへのトンネル効果ではなく、主にプログラミングFGFETと電荷損失感知FGFETのトンネル領域でのファウラ・ノルトハイム・トンネル効果によって蓄積電荷が失われることを保証するためのものである。

【0173】これまでの図に示すように、トンネル酸化物の厚さは、測定したいと希望する経過期間に応じてまたは経過期間中に希望する放電回数に応じて、様々になる可能性がある。しかし、共通フローティング・ゲートと結合ゲートとの間ならびに共通フローティング・ゲートと基板との間の酸化物の厚さは、これらの酸化物領域による電荷損失が長期間にわたって無視できるものであることを保証するために、好ましくは9nmより大きいものにする。

【0174】しかし、これらの領域で酸化物をより厚くするには何らかの兼ね合いが図られることに留意された。酸化物がより厚いと電荷損失が低減され、結合ゲートの容量結合効果も低減される。結合ゲートと基板との距離が大きくなると、この2つの領域間の電位が低減され、それにより、結合ゲートと基板との間に位置する共通フローティング・ゲートでの電界の強度が減少する。また、結合ゲートと共通フローティング・ゲートとの間の酸化物は必ずしも共通フローティング・ゲートと基板との間の酸化物と同じ寸法を有しているとは限らないことに留意されたい。

【0175】プログラミング動作後に、共通フローティング・ゲート内の蓄積静電荷は、プログラミングFGFETと感知FGFETの両方でトンネルを掘ってトンネル領域を通り抜け始め、その効果は単純に合計することができる。これまでの図に示したように、装置のしきい値電圧に対する電荷損失の結果はモデル化することができる。このため、感知FGFETのしきい値電圧に対する電荷損失の効果を使用して、共通フローティング・ゲートをプログラミングしてからの経過期間を決定することができる。

【0176】しかし、上記の通り、本発明のこの実施形態のために経過期間を決定する方法は、本発明の他の実施形態によりタイム・セルとして構成された不揮発性メモリ・セルに関して前述した方法とは異なるものである。ある見地から見ると、この実施形態の装置は前述のタイム・セルと同様に動作し、あるタイプのフローティング・ゲートFETがプログラミングされ、フローティング・ゲートの電荷は時間の経過につれて放電プロセスで絶縁材を通り放散できるようになっている。しかし、これまでの実施形態のタイム・セルでは、測定期間が所定の経過時間に到達したかどうかを判定するために単純な読み取り動作で十分であり、このようなタイム・セルは「2進タイム・セル」と呼ぶことができる。対照的に、本実施形態では、しきい値電圧検出回路を使用して感知FGFETのしきい値電圧を決定し、この実施形態のタイム・セルは「アナログ・タイム・セル」と呼ぶこ

とができる。

【0177】次に図33を参照すると、この回路図は、本発明の一実施形態によるしきい値電圧検出回路を示している。この完全なしきい値電圧検出回路はPCSFETを含む。図33には電荷損失感知FGFETのみが示されており、PCSFET内のプログラミングFGFETの端子は感知動作中に浮動できるようになっており、プログラミングFGFET上の端子は感知動作中にしきい値電圧検出回路の動作に影響しない。

【0178】図27ないし図32に関して説明した装置は外部電源なしで経過期間を監視することができる。しかし、図29に関して前述したプログラミング動作を実行し、感知動作を実行するためには、外部電源と追加回路が必要である。本発明のこの実施形態の感知動作は図33に示すしきい値電圧検出回路を使用するが、これは電源を含む感知装置上に位置することができる。別法として、感知回路は、PCSFETと同じ装置上に位置し、後で電源を備えた他の装置に結合することもできる。換言すれば、外部装置と結合するための端子は、測時装置がサポートするアプリケーションに依存する適切な位置に配置することができる。

【0179】図33のしきい値電圧検出回路は、PCSFETの電荷損失感知FGFETと、検出器FETと、2つの抵抗器と、総称反転合計増幅器として動作する演算増幅器とを示している。検出器FETは、電荷損失感知FGFETが充電されていないときに電荷損失感知FGFETとほぼ同一の動作特性を有するように構成されている。換言すれば、検出器FETと電荷損失感知FGFETは、同じ範囲の入力についてほぼ同一のしきい値電圧曲線を有するように整合している。抵抗R₁およびR₂も等しい。

【0180】電荷損失感知FGFETは、基本的に2通りの動作状態、すなわち、(1)共通フローティング・ゲートがプログラミングされていない状態と、(2)共通フローティング・ゲートがすでにプログラミングされた状態を有することができる。まず、非プログラム式モードのしきい値電圧検出回路の動作について説明し、次にプログラム式動作モードについて説明する。

【0181】検出器FETのゲートおよびドレインへの入力が短絡しているので、検出器FETのソース・ドレイン間電圧とソース・ゲート間電圧が等しくなり、そのため、検出器FETが飽和モードになり、検出器FETは定電流源として作用する。I₁は一定なので、R₁の両端間の電位の低下が一定になり、V₁はアースとV_{DD}の間の一定値のままになる。R₁とR₂は、V₁がV_{DD}より小さい任意の値、すなわち、V₁ < V_{DD}になるように選ぶことができる。

【0182】PCSFETが充電されないと、電気損失感知FGFETは定常状態になる。電荷損失感知FGFETのコントロール・ゲートは検出器FETのゲートと

同じ電位であり、2つのトランジスタが整合しているので、電荷損失感知F G F E Tを通る電流は検出器F E Tを通る電流と等しくなり、すなわち、 I_1 は I_2 に等しくなる。このため、 R_2 が R_1 と等しいので V_2 は V_1 と等しくなり、 V_2 も V_{DD} より小さくなり、すなわち、 $V_2 < V_{DD}$ になる。

【0183】演算増幅器はそれが総絶対値合計増幅器として作用できるようになるモードで動作し、回路の残りの部分によるフィードバック・ネットワークは同図には表されていない。このため、この回路は、その2つの入力が等しいときに V_{out} が V_{DD} とほぼ等しくなり、その反転入力端子が非反転入力端子よりかなり大きいときに出力電圧がゼロに近くなるように動作する。換言すれば、この回路は以下の近似関係で動作する。

$$V_{out} = V_{DD} + B * (V_1 - V_2), \quad V_{out} > 0$$

V_{out} は正電圧に制限され、Bは利得変数または定数である。

【0184】P C S F E Tが放電されると、電荷損失感知F G F E Tは平衡状態になり、 $V_1 = V_2$ になる。このため、非プログラム式動作モードでは $V_{out} = V_{DD}$ になる。

【0185】アナログ・タイム・セルはプログラミングされると、プログラム式動作モードに入ったと見なすことができる。前述の通り、プログラミング・プロセス後、共通フローティング・ゲート内の蓄積電荷の量がファウラ・ノルトハイム・トンネル効果により減少し、それにより、電荷損失感知F G F E Tのしきい値電圧が時間の経過につれて減少する。

【0186】しかし、共通フローティング・ゲートがプログラミングされた直後に、電荷損失感知F G F E Tのしきい値電圧が最大値になる。ソース・ゲート間電圧、すなわちコントロール・ゲート電圧は一定になり、 V_1 と等しくなるので、このコントロール・ゲート電圧の場合に電荷損失感知F G F E Tはもはやオンにならない。電荷損失感知F G F E Tのしきい値電圧が上昇するにつれて、すなわち、そのソース・ドレイン間電圧が上昇するにつれて、電流 I_2 が低下する。 I_2 は非常に小さいので、 R_2 の両端間では電位降下がほとんど発生せず、 V_2 は V_{DD} とほぼ等しくなる。もう一度、以下の電圧関係を参照する。

$$V_{out} = V_{DD} + B * (V_1 - V_2), \quad V_{out} > 0$$

V_1 は V_{DD} よりいくらくか小さく、 V_2 は V_{DD} とほぼ等しいので、負電圧の場合に出力がアースを基準としない場合に V_{out} はゼロ未満であると評価されるだろう。このため、 V_{out} は、P C S F E Tのプログラミング直後にゼロと等しくなるだろう。Bが2に等しく、 V_1 が $V_{DD}/2$ に等しいという特殊なケースの場合、 V_{out} はゼロを基準とせずにゼロであると評価される。

【0187】次に図3-4ないし図3-6を参照すると、この1組のグラフは、監視期間中にP C S F E T内の電圧

および電流が変化する様子を示している。

【0188】図3-4に示すように、共通フローティング・ゲートをプログラミングした後、共通フローティング・ゲートがその電荷を失うにつれて電荷損失感知F G F E Tのしきい値電圧が低下する。図3-5に示すように、しきい値電圧が低下するにつれて、電荷損失感知F G F E Tを通るドレイン電流が増加する。 I_2 が増加するにつれて、 R_2 の両端間での電位降下が増加し、 V_2 が低下する。図3-6に示すように、十分長い期間の経過につれて、 V_2 は V_1 に接近し、 V_{out} は V_{DD} に接近する。

【0189】このようにして、電荷損失感知F G F E Tのしきい値電圧を間接的に観測するための感知メカニズムが設計される。しきい値電圧は直接測定されるわけではないが、出力電圧 V_{out} はしきい値電圧に反比例する。この感知メカニズムは、P C S F E Tの状態を混乱させずに、任意の所望の時点でP C S F E Tの状態を観測する。共通フローティング・ゲート内の保持電荷は、感知プロセス中に電荷損失感知F G F E Tに印加された電圧によって実質的に乱されていない。

【0190】当業者には明らかであるように、感知回路は複数の入力変数に関して複数の設計ソリューションを有することになり、その入力変数としては、測定すべき経過時間と蓄積すべき電荷とP C S F E Tの物理的特性の関数である測定すべきしきい値電圧、検出器F E Tと電荷損失感知F G F E Tの整合特性（ゲート・ソース間電圧、ソース・ドレイン間電圧、電流特性など）、電荷損失感知F G F E Tを通る電流（ I_2 ）とこれによる回路の残りの部分への入力電圧のうちの一方、検出器F E Tと電荷損失感知F G F E T（ V_1 ）のコントロール・ゲートで保持すべき電圧とこれによる回路の残りの部分への入力電圧のうちのもう一方を含む。適切な設計上の選択により、回路要素間の依存関係を選択して、 V_{out} で所望の電圧出力関数を求めることができる。種々の感知回路を使用することができ、当業者であれば、本発明の実施例に応じて感知メカニズムが様々なになる可能性があることが分かるだろう。図示の例は、本発明に関する制限を暗示するためのものではなく、むしろ、本発明の一実施形態による好ましい感知メカニズムに関する情報を提供するものである。

【0191】感知回路からの観測出力電圧を経過時間値に変換するためには、アナログ・タイム・セルの動作特性を把握していかなければならない。上記の通り、タイム・セルの物理的寸法の操作に加え、経過期間にわたるタイム・セルの動作特性はタイム・セルの初期条件にも依存する。共通フローティング・ゲートに蓄積された電荷の初期量によってその初期電位が設定され、電荷損失感知F G F E Tの初期しきい値電圧は蓄積電荷の初期量によって変動する。このため、共通フローティング・ゲートが適切な初期量の静電荷で初期設定されるかまたはこれと同等にしきい値電圧が適切な初期値から始まるよう

なやり方でプログラミング動作を実行することも重要である。

【0192】アナログ・タイム・セルの所望の初期開始条件の場合、可変長の時間について共通フローティング・ゲートをプログラミングすることができる。たとえば、共通フローティング・ゲートにより多くの電荷を蓄積するために、より長い期間の間、プログラミング動作を実行する。所与のアナログ・タイム・セル構成について特定の長さのプログラミング時間を決定するために種々の方法を使用することができる。

【0193】2進タイム・セルに関して上記した通り、所与のアナログ・タイム・セル設計またはサイズに必要なプログラミング時間長は、1組のアナログ・タイム・セルからなるテスト・セットを充電することにより経験的に見つけることができる。この1組のタイム・セル内の各タイム・セルはそれぞれ異なる長さの時間の間、充電されることになる。次に各タイム・セルは、ある期間にわたってそのしきい値電圧が変化するかどうか監視されることになる。その場合、初期プログラミング時間をしきい値電圧消失応答に相関させることができ、この情報は後で使用するために記憶されることになる。このテスト手順により、製造したデバイスの許容差も決定することができる。この経験的情報により、特定の寸法または物理的特性を備えたタイム・セルを使用して、そのプログラミング動作によって変動する期間の範囲を監視することができる。

【0194】別法として、アナログ・タイム・セルに正確な初期条件をもたらすため、プログラミング動作では、以下に示すようにプログラミングFGFETと電荷損失感知FGFETを使用することができる。前述の通り、プログラミング・プロセスはプログラミングFGFETを介して共通フローティング・ゲート内に電荷を注入する。共通フローティング・ゲートが何らかの期間の間、充電された後、共通フローティング・ゲートはその所望の電位に到達していると予想される。しかし、図29ないし図30に関する上記の説明とは対照的に、プログラミング・プロセス中に電荷損失感知FGFETをアイドル状態のままにしておくのではなく、その端子をしきい値電圧検出回路に接続することができる。プログラム式PCSFETがプログラミング動作後にその電荷損失感知FGFET内に特定の初期しきい値電圧を有すると想定する代わりに、しきい値電圧検出回路を使用して、プログラミング動作中の初期しきい値電圧を測定する。しきい値電圧がその所望の値にまだ到達していない場合、プログラミング・プロセスを続行することができる。予想プログラミング時間がかなり正確に分かっていると想定すると、プログラミング・プロセスは、プログラミング動作が初期プログラミング・フェーズを完了した後の比較的短い時間の間だけ続行すればよいはずである。

【0195】プログラミング・プロセスは、しきい値電圧測定プロセス中に中断される場合もあれば中断されない場合もあり、測定プロセスは、プログラミング・プロセスの残りの時間の間に中断される場合もあれば中断されない場合もある。別法として、適切な初期しきい値電圧に到達するまで、プログラミング・プロセスとしきい値電圧測定プロセスを繰り返し循環することができる。

【0196】本発明の範囲に影響せずに、適切なプログラミング・パラメータを決定するための他の方法を使用することもできる。

【0197】感知回路からの観測出力電圧を経過時間値に変換するためには、電荷損失感知FGFETの初期しきい値電圧としきい値電圧消失閾数を含む、アナログ・タイム・セルの動作特性を把握していなければならない。初期しきい値電圧はプログラミング動作中に設定することができ、アナログ・タイム・セルは特定のしきい値電圧消失閾数で応答するよう設計することができるが、実際のしきい値電圧消失閾数は経験的に見つけることができる。しかし、任意の特定の時点でのしきい値電圧はしきい値電圧検出回路の出力を観測することによって見つかるので、しきい値電圧消失閾数が示すしきい値電圧／時間の関係は本質的にしきい値電圧検出出力閾数が示す出力電圧／時間の関係で置き換える。しきい値電圧検出出力閾数と経過時間との数学的関係は、経験的に導出され、後で使用するために記憶される。

【0198】換言すれば、アナログ・タイム・セルの動作特性が観測されると、時間測定は本質的に、感知回路または感知装置の出力を経過時間値とともにマッピングすることにより実行される。もう一度、図33を参照すると、 V_{out} での電圧出力閾数の値は経過時間値にマッピングされる。 V_{out} のアナログ値はA-D変換器によりデジタル値に変換することができ、これを何らかのタイプのマッピング閾数またはマッピング動作で使用して経過時間値を求める。

【0199】このため、所与のタイプのアナログ・タイム・セルの場合、PCSFETのしきい値電圧の間接観測からの変換済みディジタル・データを用意し、プログラミング直後のPCSFETの初期しきい値電圧を把握することにより、単純なルックアップ・テーブルが提供するような単純なマッピング動作により経過時間値を生成することができる。

【0200】代替実施形態では、アナログ・タイム・セルを不揮発性メモリ・セルと対にすることができる。ある装置が複数のタイム・セルを有する場合、各タイム・セルを不揮発性メモリ・セルと対にすることができる。アナログ・タイム・セルを初期しきい値電圧に応じてプログラミングする場合、対応する不揮発性メモリ・セルも同じ初期しきい値電圧を有するようにその不揮発性メモリ・セルをプログラミングすることができる。対応する不揮発性メモリ・セルが閑心のある期間でその初期電

荷を失わない場合、対応する不揮発性メモリ・セルは基準として作用することができる。しきい値電圧測定動作をアナログ・タイム・セルで実行する場合、対応する不揮発性メモリ・セルで同様のしきい値電圧測定動作を実行することができる。その場合、アナログ・タイム・セルからの測定しきい値電圧と照らし合わせて比較するために、不揮発性メモリ・セルからの測定しきい値電圧を基準として使用することができる。

【0201】次に図37ないし図38を参照すると、このブロック図は、本発明の一実施形態によるプログラミング装置と感知装置と測時装置との関係を示している。測時装置はPCSETすなわちアナログ・タイム・セルを含み、これは図27ないし図33に関連して前述したものと同様のプログラミングFGFETと感知FGFETとの組合せである。

【0202】システム450は、無電池無発振器電子測時装置454に接続された初期設定装置452を示し、次にこの測時装置は感知装置456に接続されている。これらの装置はすべて同じシステム内に位置することは可能であるが、アプリケーションによっては、各装置が異なるシステム、製品、コンポーネント、その他の装置内に物理的に位置することも可能である。たとえば、本発明の測時装置は、初期設定装置391を使用して発行機関が初期設定する無電池スマート・カード内に位置する場合もある。消費者は、それが経過期間を監視している間、スマート・カードを所持し、小売商にスマート・カードを提示することができる。その場合、感知装置を含む小売商のデータ処理システムは、様々なビジネス上の理由からスマート・カードの経過期間を決定することができる。

【0203】プログラミング装置回路および感知装置回路の多くは携帯用装置上に実施することができる。このタイプの配置により、前述のようにプログラミング・プロセスと測定プロセスが循環する、正確なプログラミング動作が可能になる。しかし、追加回路によりスマート・カードの製造コストが増大し、他の商売上の考慮事項が存在する場合もある。スマート・カードはこのような追加回路を含むことができるが、スマート・カードが電池を含むかどうかにかかわらず、タイム・セルは依然として無電力または無電池動作を対象とすることに留意されたい。

【0204】初期設定装置452は、プログラミング・コマンドを受け取って、プログラミング動作(図示せず)に関する状況を送るプログラミング・ユニット458を含む。プログラミング・ユニット458は、アナログ・タイム・セル460が電圧 V_{cc} 、 V_{pd} 、 V_{pg} として受け取るプログラミング電圧 P_1 、 P_2 、 P_3 をアサートすることにより、プログラミング動作を制御する。アナログ・タイム・セルは、プログラミング動作中に電荷を受け取る共通フローティング・ゲートとともに、プログラ

ミングFGFETと感知FGFETとの組合せを含む。プログラミング動作が完了すると、アナログ・タイム・セルは時間の経過につれてその蓄積電荷を放電する。【0205】その後のある時点で、アナログ・タイム・セル460を含む測時装置は感知装置456に結合され、感知装置は電荷損失感知FGFETの端子 V_{cc} 、 V_{pd} 、 V_{pg} に結合する電圧 S_1 、 S_2 、 S_3 を有する。次に感知装置456は感知動作を開始するかまたは経過時間要求コマンドを待つことができる。タイム・セルのフローティング・ゲート内の電荷が時間の経過につれて減少するにつれて、感知FGFETのしきい値電圧応答も減少する。時間換出ユニット462はしきい値電圧センサ・ユニット464を制御し、このユニットは、図33に関連して前述したようにおそらくしきい値電圧検出回路を使用して、タイム・セルの現行しきい値電圧を間接的に決定する。次に、決定したしきい値電圧に対応する推定経過時間量は電圧/時間変換器ユニット468により計算され、その経過時間は何らかの方法で処理されるかまたはリクエストに返される。タイムスタンプ、経過秒数またはその他の時間単位、または経過時間が選択した時間値より大きいかどうかを示す単純なブール値など、様々な形式を使用して経過時間値を報告することができる。

【0206】図38は図37と同様のものである。図38は、同一要素に関連する同一参照番号により、図37のシステム450と同様のシステム470を示している。また、図38は測時装置上の任意選択のタイム・セル・パラメータ・メモリ472も含む。

【0207】図33に関連して前述したように、時間観測を行ったときに、アナログ・タイム・セルの現行状態を経過時間にマッピングしなければならない。計算を適切に実行するために、電圧/時間変換器ユニットは、その消失関数または放電関数とプログラミング動作中に共通フローティング・ゲートに蓄積した初期電荷量、またはそれと同等に、しきい値電圧消失関数と初期しきい値電圧など、タイム・セルの動作能力に関する知識を持っているなければならない。電荷量によって消失関数の形式は変更されないが消失関数の初期条件または開始点は変更されるので、タイム・セルの消失関数を記述するパラメータとともに、初期しきい値電圧を把握している必要がある。

【0208】感知装置または読み取り装置が経過時間を決定するために必要な情報を入手できる方法は多数存在する。第一に、アナログ・タイム・セルが特定の設計で製造され、特定の時間量について特定の方法でプログラミングされたと感知装置が想定できるように、アナログ・タイム・セルとそのプログラミング動作を標準化することができる。このシナリオでは、感知装置は観測しきい値電圧値を経過時間に直接変換する。感知装置は、特定のタイム・セルに固有の記憶済みパラメータを参照せず

に値を変換するよう構築することができる。

【0209】第二に、アナログ・タイム・セルが初期設定された後、プログラミング装置はアクセス可能なデータベースに初期設定情報を記憶し、感知装置はそれを読み取って、その観測結果に相関させた情報を獲得する。初期設定情報は、タイム・セルがプログラミングされた時間量と、所与のタイプのタイム・セルについてプログラミング時間を経過時間に相関させるルックアップ・テーブルとを含むことができる。

【0210】第三に、感知装置がこのような情報を使用可能な状態で持っていると予想し、それにより、プログラミング装置と感知装置が何らかの方法でネットワーク化されていると暗示するのではなく、プログラミング動作中にプログラミング・ユニットによってタイム・セル・パラメータ不揮発性メモリ470に動作パラメータを記憶する。動作パラメータはほとんどなく、少量の安価な不揮発性メモリを必要とするので、このようなパラメータ値は非常に容易に記憶することができる。パラメータとしては、プログラミング動作が完了した時間から構成されるタイムスタンプ、タイム・セルの製造業者の識別子、タイム・セルのタイプの識別子、タイム・セルが固守する業界標準の識別子、観測しきい値電圧をいくつかの時間単位に相関させるルックアップ・テーブル（感知回路がタイム・セルと同じ装置上にない場合）、観測検出回路出力値をいくつかの時間単位に相関させるルックアップ・テーブル（感知回路または検出回路がタイム・セルと同じ装置上にある場合）、パラメータ・メモリに記憶された時間単位のタイプの識別子などのデータ項目の1つまたは複数を含むことができる。当然のことながら、タイム・セルに関連して他の動作パラメータを記憶することもできる。パラメータ自体のフォーマットは、これらの装置の様々な製造業者が相互運用性を保証できるように標準を固守する場合もある。

【0211】2進タイム・セルに関して前述したように、複数のタイム・セルを測時装置として使用するという概念はアナログ・タイム・セルにも適用可能であることに留意されたい。この実施形態では、1組のアナログ・タイム・セルで1組の感知動作を実行するが、その1組のうちの各アナログ・タイム・セルは、それがプログラミングされた後の所定の期間内にそのPCSFETのしきい値電圧を所定の値まで低減するよう設計されている。各アナログ・タイム・セルのしきい値電圧の間接観測を使用して、各アナログ・タイム・セルの経過時間値を決定することができる。

【0212】その1組のタイム・セルのうちの各アナログ・タイム・セルは、その1組のうちの他のタイム・セルからの固有の放電閾値を所有することができる。別法として、その1組のタイム・セルのうちのすべてのアナログ・タイム・セルが同一の放電閾値を所有することもできる。各タイム・セルを同じように構築する必要はな

く、各タイム・セルの初期条件が変化するので1組のタイム・セル全体にわたる放電閾値もそれぞれ異なる可能性があることに留意されたい。たとえば、1組の同一アナログ・タイム・セルを種々の長さの時間の間、プログラミングすることができ、それにより、それぞれ異なる初期電荷量と、短期間または長期間を測定するためのそれ異なる能力を各タイム・セルにもたらすことになる。

【0213】様々な理由により、単一測時装置内で複数のアナログ・タイム・セルを使用することができる。一例として、タイム・セルは、それぞれの経過時間測定機能において、あるタイプの冗長性またはエラー検査を提供するものと見なすことができる。その測時装置に関する最終的な報告経過時間値を求めるために、各アナログ・タイム・セルからの計算経過時間値を統計的に合成、たとえば、平均化することができる。冗長セットとして使用するタイム・セルの数および経過時間の肯定的判定に必要なタイム・セルの数は様々ななる可能性がある。

【0214】もう1つの例として、各アナログ・タイム・セルは、種々の開始時間で種々の目的のために種々のデータ処理システムによってプログラミングまたは初期設定することができる。タイム・セル・アレイは、種々の期間または種々の「タイム・セット」を監視することができる。タイム・セットの最大数は、タイム・セル・アレイ内のアナログ・タイム・セルの数と、タイム・セルが複数通りの期間を測定するよう構築される方法に依存することになる。この測時装置は、特定のタイム・セットがすでに使用中であるかどうかを示し、特定のタイム・セットを「所有する」データ処理システムを識別する情報を記憶するための使用インジケータも記憶することができる。

【0215】次に図39ないし図41を参照すると、アナログ・タイム・セルとして使用すべきプログラム可能電荷損失感知FGFETの他の実施形態の記号表現が示されている。図39の単一FGFETは、コントロール・ゲート490と、ソース492と、ドレイン494と、フローティング・ゲート496と、結合ゲート498とを有する。図39に示すPCSFETは図27ないし図33に関連して前述したPCSFETと同様のものであるが、大きいフローティング・ゲートを備えた单一FGFETがプログラミングFGFETと電荷損失感知FGFETの両方に取って代わっている。図40は、図29に関連して前述したプロセスと同様のプログラミング・プロセス中にPCSFETに印加される電圧 V_{cc} 、 V_{pb} 、 V_{pe} を示している。図41は、図30に関連して前述したプロセスと同様の電荷損失感知プロセス中にPCSFETに印加される電圧 V_{sb} 、 V_{ss} 、 V_{se} を示している。

【0216】次に図42を参照すると、同図は、本発明の一実施形態による結合ゲートを備えたPCSFETを

含む物理装置を示している。図42は、図39ないし図41に示すものと同様の物理的なPCFET装置の平面図を示している。図42に示す装置の物理的寸法および動作は図31に示す装置と同様であるが、図31に示すプログラミングFGFETと電荷損失感知FGFETによって実行されるプログラミング動作と感知動作の両方を單一フローティング・ゲート・トランジスタで実行する。

【0217】図42に示すアナログ・タイム・セルは、図31のタイム・セルと比較した場合、プログラミングプロセスと感知プロセスを同じトランジスタによって実行しなければならないという欠点を有する。CHE注入など、プログラミング・プロセス中に所望の速度および効率を得るために、そのトランジスタは特定の物理的特性を備えていなければならない。また、感知プロセス中に所望の動作特性を得るために、そのトランジスタは特定の物理的特性を備えていなければならない。種々の任務を備えた別々のトランジスタを構築する方が容易なほど、種々の物理的要件が競合する場合もある。しかし、図42に示すアナログ・タイム・セルは、図31に示すアナログ・タイム・セルより小さく、構築すべき要素が少ないという利点を有する。

【0218】結論

上記で提供する本発明の詳細な説明を考慮すると、本発明の利点は明らかになるはずである。単純な電子測時装置は静電砂時計として作用する。一般に、絶縁された電荷蓄積素子が充電され、それにより、その絶縁材外部の点に対する既知の電位を電荷蓄積素子に与える。次に電荷蓄積素子は、ある期間の経過につれて、何らかのタイプの物理的プロセスによってその絶縁材を通して静電荷を放電し、それにより、電荷蓄積素子の電位が低下する。所与の時点で、直接的または間接的に電荷蓄積素子の電位を観測する。電荷蓄積素子の開始電位、所与の時点での観測電位、電荷蓄積素子の電荷放電率を把握することにより、所与の時点に関する経過期間を決定することができる。

【0219】本発明は、電池あるいはACまたはDC電源などの連続エネルギー源なしに電子時間測定を可能にする。そのうえ、本発明は、発振器、発振回路、ビートまたはパルス・カウンタ、その他のタイプの電気タイム・ベース発振器なしに電子時間測定を可能にする。また、本発明の測時装置は、外部から知覚可能なインジケータまたはディスプレイなしで動作するが、その場合、人間は測時装置が測定した経過期間のインジケータを直接観測し解釈することができない。しかし、この測時装置は、計時物質または装置の表示が不要な多くのアプリケーションまたは製品には有用である。

【0220】また、本発明は、他のタイプの電子クロックを上回る多くの物理的利点も有する。化学電池は、潜在的に薬品漏れや廃棄処分の危険性がある。電池は、特

にそれが付随する電子回路の耐用寿命に比べ、貯蔵寿命が短い傾向がある。また、電池は、それが接続される電子回路より数倍大きい場合があり、それにより、電子装置に対して設計上の制限が加えられることになる。対照的に、本発明は、気密密閉され、極端な温度や極端な放射線を除き、外部の物理的影響に対して本質的に鈍感な小型の計時装置を提供する。サイズが小さく、製作が簡単で、ユニット・コストが低いことが、多くのアプリケーションで使用するための実質的な物理的経済的動機付けになっている。

【0221】完全に機能するデータ処理システムに関する本発明を説明してきたが、当業者であれば、その配布を実施するために実際に使用する信号伝達媒体の特定のタイプにかかわらず、本発明のプロセスがコンピュータ可読媒体内の命令の形およびその他の様々な形式で配布可能であることが分かることに留意されたい。コンピュータ可読媒体の例としては、EPROM、ROM、テープ、紙、フロッピー(R)ディスク、ハード・ディスク・ドライブ、RAM、CD-ROMなどの媒体と、デジタルおよびアナログ通信リンクなどの伝送タイプの媒体を含む。

【0222】まとめとして、本発明の構成に関して以下の事項を開示する。

【0223】(1) プログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行するタイム・セルと、前記タイム・セルに接続され、前記タイム・セルの状態の読取りを可能にするための回路とを含む測時装置。

(2) 前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、上記(1)に記載の測時装置。

(3) タイム・セルのアレイをさらに含む、上記(1)に記載の測時装置。

(4) 前記タイム・セルのアレイ内の少なくとも1つのタイム・セルが、前記タイム・セルのアレイ内の他のタイム・セルの所定の期間とは異なる所定の期間を有する、上記(3)に記載の測時装置。

(5) 前記タイム・セルのアレイ内の少なくとも2つのタイム・セルが、実質的に同一の所定の期間を有する、上記(3)に記載の測時装置。

(6) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定することにより前記タイム・セルのアレイを制御するためのタイム・セル、インタフェース・ユニットをさらに含む、上記(3)に記載の測時装置。

(7) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するためのプログラミング要求処理ユニットをさらに

含む、上記(3)に記載の測時装置。

(8) 測時装置を使用するための方法であって、前記方法が、タイム・セルをプログラミングするステップであって、前記タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有するステップと、前記タイム・セルを放電するステップであって、前記タイム・セルが前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行するステップとを含む方法。

(9) 前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、上記(8)に記載の方法。

(10) タイム・セルのアレイ内の少なくとも1つのタイム・セルをプログラミングするステップをさらに含む、上記(8)に記載の方法。

(11) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定することにより、タイム・セル・インターフェース・ユニットによって前記タイム・セルのアレイを制御するステップをさらに含む、上記(10)に記載の方法。

(12) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するステップをさらに含む、上記(10)に記載の方法。

(13) 測時装置を使用するためにデータ処理システムで使用するためのコンピュータ可読媒体上のコンピュータ・プログラム製品であって、前記コンピュータ・プログラム製品が、前記測時装置を初期設定するためのプログラミング要求を受け取るための命令と、タイム・セルをプログラミングするための命令であって、前記タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記タイム・セルが前記プログラミング動作後に前記被制御放電状態から前記実質放電状態に移行する命令とを含むコンピュータ・プログラム製品。

(14) 前記所定の期間の長さが、前記プログラミング動作後の前記タイム・セルの初期条件によって変化する、上記(13)に記載のコンピュータ・プログラム製品。

(15) タイム・セルのアレイ内の少なくとも1つのタイム・セルをプログラミングするための命令をさらに含む、上記(13)に記載のコンピュータ・プログラム製品。

(16) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを初期設定するかまたは読み取ることにより、タイム・セル・インターフェース・ユニットによって前記タイム・セルのアレイを制御するための命令をさらに含む、上記(15)に記載のコンピュータ・プログ

ラム製品。

(17) 前記タイム・セルのアレイ内の1つまたは複数のタイム・セルを設定するためのプログラミング要求を処理するための命令をさらに含む、上記(15)に記載のコンピュータ・プログラム製品。

10 (18) メモリ・セルがプログラミング動作前に安定メモリ状態を有する第1の動作モードと、前記メモリ・セルが、前記安定メモリ状態から非安定メモリ状態に移行するようプログラミングされる第2の動作モードと、前記メモリ・セルが前記第2の動作モード後に非安定メモリ状態を有する第3の動作モードと、前記メモリ・セルが所定の期間内に前記非安定メモリ状態から前記安定メモリ状態に移行する第4の動作モードと、前記メモリ・セルが前記所定の期間後に安定メモリ状態を有する第5の動作モードとを含む測時装置。

(19) 前記所定の期間の長さが、前記第2の動作モード後の前記メモリ・セルの初期条件によって変化する、上記(18)に記載の測時装置。

20 (20) 測時装置内にエネルギーを入力せずに前記測時装置内で非時間測定状態を維持するための維持手段と、前記測時装置内の電荷蓄積素子で静電荷を受け取って蓄積することにより、前記非時間測定状態から時間測定状態に変更するための変更手段であって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するために前記内部媒体を実質的に取り囲む絶縁材とを含む変更手段と、前記時間測定状態への変更後の所定の期間内に所定のレベルの電位まで前記電荷蓄積素子内の蓄積静電荷を放電することにより、前記測時装置内にエネルギーを入力せずに前記時間測定状態から前記非時間測定状態に移行するための移行手段とを含む測時装置。

30 (21) 測時装置を使用するための方法であって、前記方法が、前記測時装置内にエネルギーを入力せずに前記測時装置内で非時間測定状態を維持するステップと、前記測時装置内の電荷蓄積素子で静電荷を受け取って蓄積することにより、前記非時間測定状態から時間測定状態に変更するステップであって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するために前記内部媒体を実質的に取り囲む絶縁材とを含むステップと、前記時間測定状態への変更後の所定の期間内に所定のレベルの電位まで前記電荷蓄積素子内の蓄積静電荷を放電することにより、前記測時装置内にエネルギーを入力せずに前記時間測定状態から前記非時間測定状態に移行するステップと、前記電荷蓄積素子の現行状態を検出して経過時間を決定するステップとを含む方法。

40 (22) 静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するための絶縁材であって、前記内部媒体と前記絶縁材が電荷蓄積素子を形成し、前記絶縁材が前記内部媒体を実質的に取り囲み、前記絶縁材が、前記絶縁

50

材を通る静電荷で前記内部媒体を充電するための充電プロセスを可能にする物理的性質を有し、前記絶縁材が、前記絶縁材を通って前記内部媒体から蓄積静電荷を放電するための放電プロセスを可能にする物理的性質を有し、前記絶縁材が、前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、前記放電プロセスが所定の放電率で蓄積静電荷を放電するように前記絶縁材の少なくとも1つの物理的性質が選択されている絶縁材とを含む測時装置。

(23) 前記所定の放電率が時間に関して非線形である、上記(22)に記載の測時装置。

(24) 前記放電プロセスがファウラ・ノルトハイム・トンネル効果である、上記(22)に記載の測時装置。

(25) 前記充電プロセスがチャネル・ホット電子注入である、上記(22)に記載の測時装置。

(26) 前記絶縁材を通って前記内部媒体内に電荷を注入するための電荷注入器をさらに含む、上記(22)に記載の測時装置。

(27) 前記電荷注入器を操作することにより前記電荷蓄積素子をプログラミングするためのプログラミング・ユニットをさらに含む、上記(26)に記載の測時装置。

(28) 前記電荷蓄積素子をプログラミングするための要求を処理するための要求処理ユニットをさらに含む、上記(27)に記載の測時装置。

(29) 前記電荷蓄積素子のプログラミングから状況を生成するための状況生成ユニットをさらに含む、上記(27)に記載の測時装置。

(30) 前記電荷蓄積素子がフローティング・ゲート電界効果トランジスタ内のフローティング・ゲートである、上記(22)に記載の測時装置。

(31) 測時装置を使用するための方法であって、前記方法が、電荷蓄積素子内に静電荷を蓄積することにより前記電荷蓄積素子をプログラミングするステップであって、前記電荷蓄積素子が静電荷を蓄積するための内部媒体と、前記内部媒体を絶縁するための絶縁材とを含み、前記絶縁材が前記内部媒体を実質的に取り囲み、前記絶縁材が、前記絶縁材を通る静電荷で前記内部媒体を充電するための充電プロセスを可能にする物理的性質を有し、前記絶縁材が、前記絶縁材を通って前記内部媒体から蓄積静電荷を放電するための放電プロセスを可能にする物理的性質を有し、前記絶縁材が、前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、前記放電プロセスが所定の放電率で蓄積静電荷を放電するように前記絶縁材の少なくとも1つの物理的性質が選択されている絶縁材とを含む測時装置。

(32) 前記絶縁材を通って前記内部媒体内に電荷を注入することにより前記電荷蓄積素子をプログラミングするステップをさらに含む、上記(31)に記載の方法。

10 (33) 前記電荷蓄積素子をプログラミングするための要求を処理するステップをさらに含む、上記(31)に記載の方法。

(34) 前記電荷蓄積素子をプログラミングしようと試みた後に状況を生成するステップをさらに含む、上記(31)に記載の方法。

(35) 前記電荷蓄積素子がフローティング・ゲート電界効果トランジスタ内のフローティング・ゲートである、上記(31)に記載の方法。

(36) 半導体基板と、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域との間のチャネル領域と、コントロール・ゲートと、前記コントロール・ゲートと前記チャネル領域との間のフローティング・ゲートと、前記フローティング・ゲートを実質的に取り囲む絶縁材を含む絶縁領域であって、前記絶縁領域が放電プロセスにより前記フローティング・ゲートに蓄積された静電荷を放電するためのトンネル領域を含み、前記トンネル領域が前記放電プロセスでの放電率に影響する1つまたは複数の物理的性質を有し、前記放電プロセスが所定の速度で蓄積静電荷を放電するように前記トンネル領域の少なくとも1つの物理的性質が選択されている絶縁領域とを含む測時装置。

20 (37) 前記トンネル領域が前記フローティング・ゲートと前記チャネル領域との間にあり、上記(36)に記載の測時装置。

(38) 前記トンネル領域の選択した物理的性質が、前記絶縁材の選択した厚さを含む、上記(36)に記載の測時装置。

(39) 前記トンネル領域の前記選択した厚さが7ナノメートル未満である、上記(38)に記載の測時装置。

30 (40) フローティング・ゲートを含むフローティング・ゲート電界効果トランジスタと、前記フローティング・ゲートに隣接する絶縁材の絶縁領域であって、前記フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択される絶縁領域とを含む測時装置。

40 (41) 前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、上記(40)に記載の測時装置。

(42) 測時装置を使用するための方法であって、前記方法が、フローティング・ゲート電界効果トランジスタをプログラミングするステップであって、前記フローティング・ゲートと、前記フローティング・ゲートに隣接する絶縁材の絶縁領域とを含むステップと、前記フローティ

50

グ・ゲートを放電するステップであって、前記プログラム式フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択されるステップとを含む方法。

(43) 前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、上記(42)に記載の方法。

(44) 潜時装置を使用するためにデータ処理システムで使用するためのコンピュータ可読媒体上のコンピュータ・プログラム製品であって、前記コンピュータ・プログラム製品が、フローティング・ゲート電界効果トランジスタをプログラミングするための命令であって、前記フローティング・ゲート電界効果トランジスタがフローティング・ゲートと、前記フローティング・ゲートに隣接する絶縁材の絶縁領域とを含み、前記プログラム式フローティング・ゲート内に蓄積された静電荷を放電する放電プロセスの放電率が前記絶縁領域の厚さに反比例し、前記フローティング・ゲート電界効果トランジスタのしきい値電圧が前記フローティング・ゲートのプログラミング後の所定の期間内に所定のしきい値電圧に到達するように前記絶縁領域の厚さが選択される命令と、前記フローティング・ゲート電界効果トランジスタで読み取り動作を実行して、前記フローティング・ゲート電界効果トランジスタが前記所定のしきい値電圧に到達しているかどうかに基づいて、前記所定の期間が経過したかどうかを判定するための命令とを含むコンピュータ・プログラム製品。

(45) 前記所定の期間の長さが、前記フローティング・ゲートのプログラミング後の前記フローティング・ゲート電界効果トランジスタの初期しきい値電圧によって変化する、上記(44)に記載のコンピュータ・プログラム製品。

(46) 2進タイム・セルと、前記2進タイム・セルの状態を変更するかまたは読み取ることができるようにするための回路とを含む製品。

(47) 前記2進タイム・セルがプログラミング動作前に実質放電状態を有し、前記プログラミング動作後に被制御放電状態を有し、前記2進タイム・セルが前記プログラミング動作後に前記プログラミング動作後の所定の期間内に前記被制御放電状態から前記実質放電状態に移行する、上記(46)に記載の製品。

(48) 前記製品がスマート・カードである、上記(46)に記載の製品。

(49) 前記製品を読み取装置またはプログラミング装置に結合するための結合手段をさらに含む、上記(46)に記載の製品。

に記載の製品。

(50) 前記2進タイム・セルがプログラミングされてから所定の期間が経過したかどうかを判定するための時間決定手段をさらに含む、上記(46)に記載の製品。

【図面の簡単な説明】

【図1】典型的なフローティング・ゲート電界効果トランジスタとして実施された電荷蓄積素子を含む典型的な不揮発性メモリ・セルを示す図である。

【図2】FETの記号表現を示す図である。

【図3】n型フローティング・ゲート電界効果トランジスタのプログラム式フローティング・ゲートがしきい値電圧に及ぼす影響を示す図である。

【図4】n型フローティング・ゲート電界効果トランジスタのプログラム式フローティング・ゲートがしきい値電圧に及ぼす影響を示す図である。

【図5】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図6】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図7】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図8】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図9】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図10】従来の寸法および幾何形状を有する不揮発性メモリ・セルの長期間にわたるしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図11】そのプログラム式フローティング・ゲートがその電荷を失うときのn型フローティング・ゲート電界効果トランジスタのしきい値電圧の変化を示す、1組のしきい値電圧応答グラフを示す図である。

【図12】トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図13】トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図14】トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図15】トンネル酸化物が薄くなっているタイム・セ

ル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図16】トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図17】トンネル酸化物が薄くなっているタイム・セル内のn型フローティング・ゲート電界効果トランジスタのしきい値電圧保持特性を示すスプレッドシート・モデルおよびグラフである。

【図18】本発明の一実施形態による測時装置として使用可能な絶縁された電荷蓄積素子を示す図である。

【図19】本発明による測時装置を使用するコンピュータまたは電子装置内で実行可能な単純なプロセスを示す図である。

【図20】本発明による測時装置を使用するコンピュータまたは電子装置内で実行可能な単純なプロセスを示す図である。

【図21】本発明の一実施形態による1組のタイム・セルを示す図である。

【図22】複数組のタイム・セルに分割されたタイム・セルのアレイを示す図である。

【図23】複数の期間を測定するためのタイム・セルのアレイを示す図である。

【図24】本発明とともに使用可能なスマート・カードの図形描写である。

【図25】本発明のタイム・セル・アレイとともに使用可能なスマート・カード内のハードウェア・コンポーネントを示す図である。

【図26】本発明の一実施形態によるプログラミング装置と感知装置と測時装置との関係を示す図である。

【図27】共通フローティング・ゲートとともにプログラミングFGFETと電荷損失感知FGFETを示す、本発明の一実施形態の記号表現である。

【図28】共通フローティング・ゲートとともにプログラミングFGFETと電荷損失感知FGFETを示す、本発明の一実施形態の記号表現である。

【図29】プログラミング動作中に装置の様々な端子に印加される電圧を示す図である。

【図30】本発明の一実施形態による装置の感知動作中に様々な端子に印加される電圧を示す図である。

【図31】本発明の一実施形態による結合ゲートと協力して共通フローティング・ゲートにより電荷損失感知FGFETに結合されたプログラミングFGFETを含む物理装置を示す図である。

【図32】本発明の一実施形態によるプログラム可能電

荷損失感知FGFETの共通フローティング・ゲートと結合ゲートとの位置関係を示す簡略断面図である。

【図33】本発明の一実施形態によるしきい値電圧検出回路を示す回路図である。

【図34】監視期間中にPCSFET内の電圧および電流が変化する様子を示すグラフである。

【図35】監視期間中にPCSFET内の電圧および電流が変化する様子を示すグラフである。

【図36】監視期間中にPCSFET内の電圧および電流が変化する様子を示すグラフである。

【図37】本発明の一実施形態によるプログラミング装置と感知装置と測時装置との関係を示すブロック図である。

【図38】本発明の一実施形態によるプログラミング装置と感知装置と測時装置との関係を示すブロック図である。

【図39】アナログ・タイム・セルとして使用すべきプログラム可能電荷損失感知FGFETの他の実施形態の記号表現である。

【図40】アナログ・タイム・セルとして使用すべきプログラム可能電荷損失感知FGFETの他の実施形態の記号表現である。

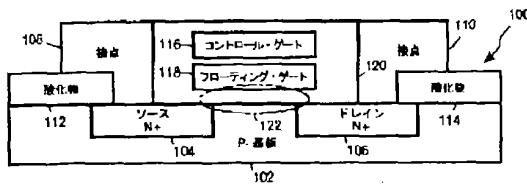
【図41】アナログ・タイム・セルとして使用すべきプログラム可能電荷損失感知FGFETの他の実施形態の記号表現である。

【図42】本発明の一実施形態による結合ゲートを備えたPCSFETを含む物理装置を示す図である。

【符号の説明】

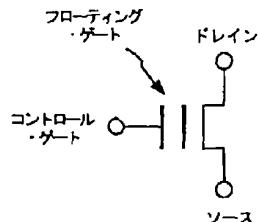
200	システム
202	プログラミング・ユニット
204	電源A
206	プログラミング要求信号
208	電荷発生器
210	充電プロセス
212	プログラミング状況信号
220	絶縁材
222	電荷蓄積素子
224	帯電能力を備えた内部媒体
226	放電プロセス
228	電界
230	時間検出ユニット
232	電源B
234	時間測定要求信号
236	静電検出器
238	電位/時間変換器
240	経過時間信号

【図1】

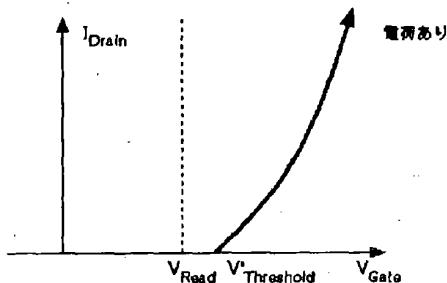
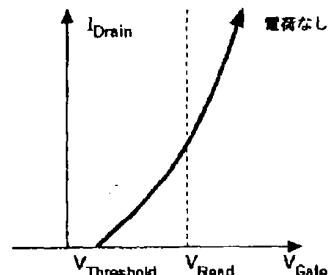


【図4】

【図2】



【図3】



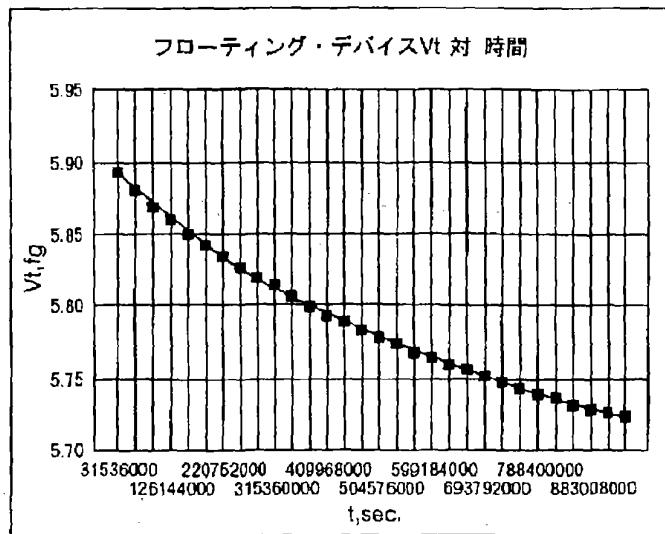
【図5】

nVメモリ・セル保持特性の計算

			物理量	値	単位	説明
q0, C	m0, kg	kb, J/K	h, J·s	hb, J·s	秒数	期間
1.6022E-019	9.1095E-031	1.38062E-023	6.62617E-034	1.054588E-034	31536000	1年
b0, eV(バリア)	z1	mr, 有効質量比	T, K度		94606000	3年
2.9	3.9	0.5	300		1.89E+008	6年
C	b				2.84E+017	9年
1.0630E-005	2.3854E+008				3.78E+008	12年
Lig um	0.6000	フローティング・ゲート・デバイスのチャンネル長			4.73E+008	15年
Wig um	1000.0000	フローティング・ゲート・デバイスのチャンネル幅			9.08E+009	19年
Hig um	0.0900	フローティング・ゲート・ポリシリコン導体の厚さ			6.62E+008	21年
Wnx um	0.5000	フローティング・ゲートがオーバーラップする深いトレンチ分離の幅			7.57E+008	24年
Tnx um	80	トレンチ分離物厚さ			8.51E+008	27年
Tono A	190	容量結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-酸化物-酸化物層電体の厚さ			9.46E+008	30年
Tswox A	300	側面結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物層電体の厚さ				
Xid um	0.0500	フローティング・ゲート-MOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
Xts um	0.3500	フローティング・ゲート-MOSFETにおいてフローティング・ゲートがオーバーラップするソース領域の長さ				
Ainj um2	0.0438	フローティング・ゲート電荷をリセットするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリア				
Ctf IF	1089.5258	フローティング・ゲートとコントロール・ゲートとの間のキャパシタンス				
Cfsx fF	0.4313	フローティング・ゲートとシリコン基板との間のキャパシタンス				
Cfd IF	0.1078	フローティング・ゲートとドレインとの間のキャパシタンス				
Cfs IF	0.7547	フローティング・ゲートとソースとの間のキャパシタンス				
Cfg IF	1090.8295	全フローティング・ゲート・キャパシタンス				
Crwl	0.9998	コントロール・ゲートとフローティング・ゲートとの結合比				
Crsrc	0.0007	ソース結合とフローティング・ゲートとの結合比				
Vt,lg V	0.90	フローティング・ゲート-MOSFETの新しい閾電圧				
Verase	0.00	ソースに印加される閾電圧（ここでは使用しない、ゼロに設定する）				
Vtg,ini	5.00	初期フローティング閾電圧				
Va	0.00	実際の消去電圧（フローティング上に蓄積された電荷+印加されたものに等しい）				
S	3.76E+016	フローティング・ゲート「消去」方程式内の導出パラメータ				
X	1.27E+011	フローティング・ゲート「消去」方程式内の導出パラメータ				

【図6】

t, sec	Vt, Ig
0.03001	5.907
31535000	5.894
62072000	5.882
94603000	5.871
1.25E+008	5.861
1.58E+008	5.852
1.89E+008	5.843
2.21E+008	5.835
2.52E+008	5.827
2.84E+008	5.820
3.15E+008	5.814
3.47E+008	5.807
3.78E+008	5.801
4.1E+008	5.795
4.42E+008	5.790
4.73E+008	5.785
5.05E+008	5.780
5.36E+008	5.775
5.68E+008	5.770
5.99E+008	5.766
6.31E+008	5.762
6.62E+008	5.757
6.94E+008	5.753
7.25E+008	5.750
7.57E+008	5.746
7.88E+008	5.742
8.2E+008	5.739
8.51E+008	5.735
8.83E+008	5.732
9.15E+008	5.729
9.46E+008	5.726



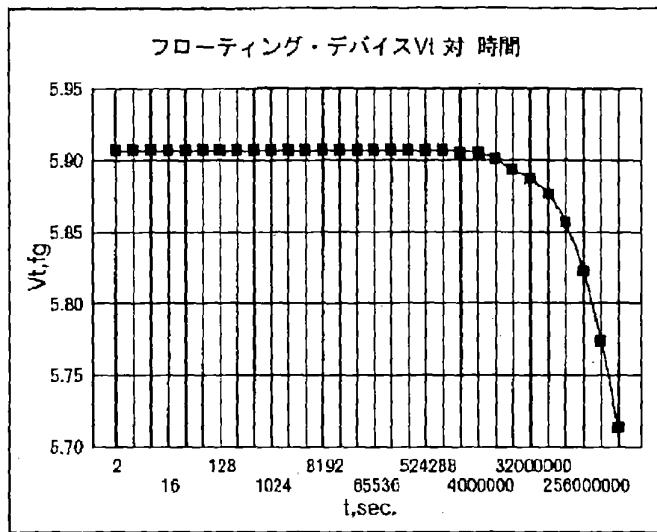
【図7】

nvメモリ・セル保持特性の計算

q0, C	m0, kg	kb, J/K	h, J-s	hb, J-s	秒数	期間
1.6022E-019	9.1095E-031	1.36062E-023	6.62617E-034	*****	60	1分
b0, eV(バリア) ε1	mr, 有効質量比	T, K度			3600	1時間
2.9	3.9	0.5			06400	1日
C	b				604800	1週間
1.0630E-006	2.3854E+008				2592000	1ヶ月
Lig um	0.6000	フローティング・ゲート・デバイスのチャンネル長			*****	1年
Wig um	1000.0000	フローティング・ゲート・デバイスのチャンネル幅			*****	4年
Hig um	0.0900	フローティング・ゲート・ポリシリコン膜体の厚さ			*****	15年
Wrx um	0.5000	フローティング・ゲートがオーバーラップする深いトレンチ分離の幅			*****	32年
Thunox A	80	トンネル化物厚さ				
Tono A	190	電離結合のためのフローティング・ゲートとコントロール・ゲートとの間の電離物・電化物・電化物電離体の厚さ				
Tswox A	300	電離結合のためのフローティング・ゲートとコントロール・ゲートとの間の電離物・電化物電離体の厚さ				
Xfd um	0.0500	フローティング・ゲートMOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
Xds um	0.3500	フローティング・ゲートMOSFETにおいてフローティング・ゲートがオーバーラップするソース領域の長さ				
Ainj um2	0.0438	フローティング・ゲート電荷をリセットするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリア				
Cic IF	1089.5358	フローティング・ゲートとコントロール・ゲートとの間のキャパシタンス				
Clsx IF	0.4313	フローティング・ゲートとシリコン基板との間のキャパシタンス				
Cld IF	0.1076	フローティング・ゲートとドレインとの間のキャパシタンス				
Cls IF	0.7547	フローティング・ゲートとソースとの間のキャパシタンス				
Ctg IF	1090.8295	全フローティング・ゲート・キャパシタンス				
Cr,wd	0.9958	コントロール・ゲートとフローティング・ゲートとの結合比				
Cr,src	0.0007	ソース結合とフローティング・ゲートとの結合比				
Vt, Ig V	0.90	フローティング・ゲートMOSFETのしきい値電圧				
Verase	0.00	ソースに印加される消去電圧(ここでは使用しない、ゼロに設定する)				
Vg,ini	5.00	初期フローティング基質電圧				
Vb	0.00	基質の消去電圧(フローティング上に蓄積された電荷+印加されたものに等しい)				
S	3.76E+016	フローティング・ゲート「消去」方程式内の導出パラメータ				
X	1.27E+011	フローティング・ゲート「消去」方程式内の導出パラメータ				

【図8】

t, sec	Vt, V_0
0.00001	5.907
2	5.907
4	5.907
8	5.907
16	5.907
32	5.907
64	5.907
128	5.907
256	5.907
512	5.907
1024	5.907
2048	5.907
4096	5.907
8192	5.907
16384	5.907
32768	5.907
65536	5.907
131072	5.907
262144	5.907
524288	5.907
1000000	5.907
2000000	5.906
4000000	5.905
8000000	5.904
1.6E+007	5.900
3.2E+007	5.894
6.4E+007	5.881
.....	5.860
.....	5.827
.....	5.779
.....	5.718

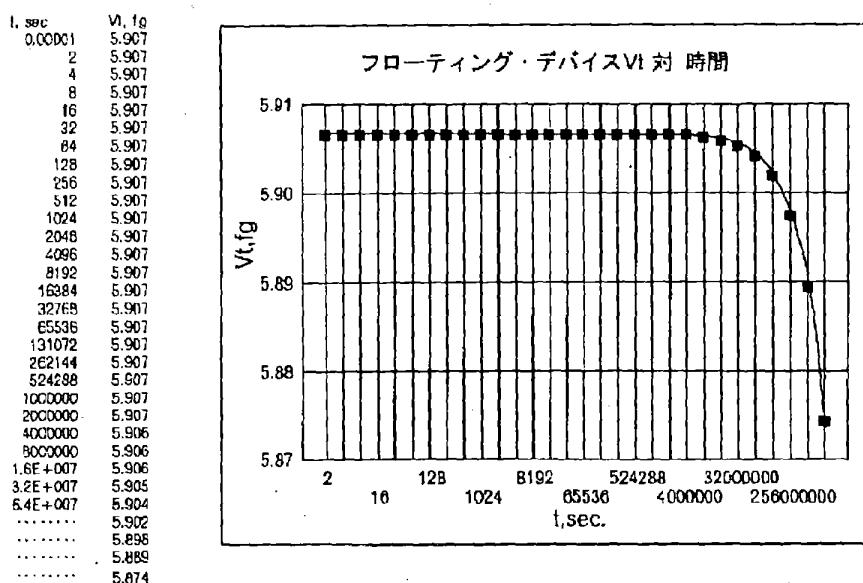


【図9】

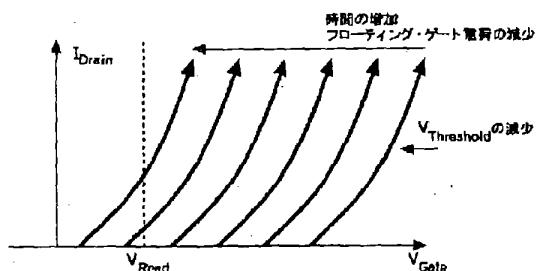
nvメモリ・セル保持特性の計算

	m_0, kg	$k_b, \text{J/K}$	$h, \text{J-s}$	$h_b, \text{J-s}$	秒数	期間
40. C	1.6022E-019	9.1095E-031	1.38062E-023	6.62617E-034	60	1 分
					3600	1 時間
50.0V(バリア) t_f	2.9	mr. 有効質量比		T, K度	86400	1 日
		3.9	0.5		604800	1 週間
				300	2592000	1 月
C	1.0630E-006	2.3854E+008			*****	1 年
					*****	16 年
					*****	32 年
Lig um	0.6000	フローティング・ゲート・デバイスのチャンネル長				
Wfg um	1000.0000	フローティング・ゲート・デバイスのチャンネル幅				
Hig um	0.0900	フローティング・ゲート・シリコン・膜の厚さ				
Wri um	0.5000	フローティング・ゲートがオーバーラップする深いトレンチ分離の幅				
Ttunox A	80	トンネル絶縁膜				
Toro A	190	界面結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物・重化物・被覆絶縁膜の厚さ				
Tswox A	300	側壁結合のためのフローティング・ゲートとコントロール・ゲートと側面の側壁絶縁膜の厚さ				
Xfd um	0.0500	フローティング・ゲートMOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
Xfs um	0.3500	フローティング・ゲートMOSFETにおいてフローティング・ゲートがオーバーラップするソース領域の長さ				
Alnj um2	0.0498	フローティング・ゲート電荷をリセットするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリア				
Cfc ff	1099.5538	フローティング・ゲートヒントロール・ゲートと側面のキャパシタンス				
Cfx ff	0.4059	フローティング・ゲートヒントリコン・基板との間のキャパシタンス				
Cfd ff	0.1015	フローティング・ゲートヒントリコンとの間のキャパシタンス				
Cfs ff	0.7103	フローティング・ゲートヒントリコンとの間のキャパシタンス				
Cfg ff	1090.7934	金フローティング・ゲート・キャパシタンス				
Cr,wi	0.9969	コントロール・ゲートとフローティング・ゲートとの結合比				
Cr,ro	0.0007	ソース電荷とフローティング・ゲートとの結合比				
Vt,lg V	0.50	フローティング・ゲートMOSFETのしきい電圧				
Verase	0.00	ソースに印加される漏電電圧 (ここでは使用しない、ゼロに固定する)				
Vfg,ini	5.00	初期フローティング電圧電圧				
Vg	0.00	実際の漏電電圧 (フローティング上に蓄積された電荷+印加されたものに等しい)				
S	4.02E+017	フローティング・ゲート・漏電方程式内の導出パラメータ				
X	1.20E+011	フローティング・ゲート・漏電方程式内の導出パラメータ				

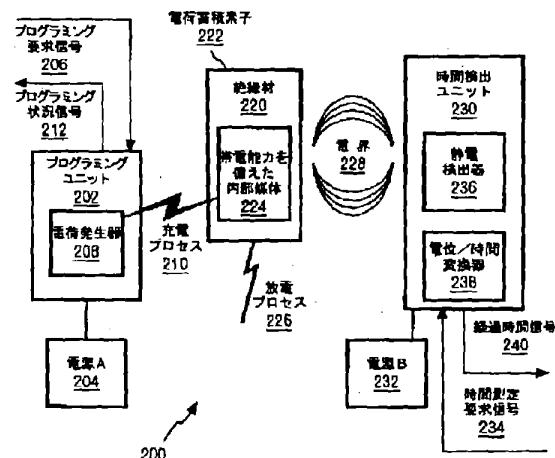
【図10】



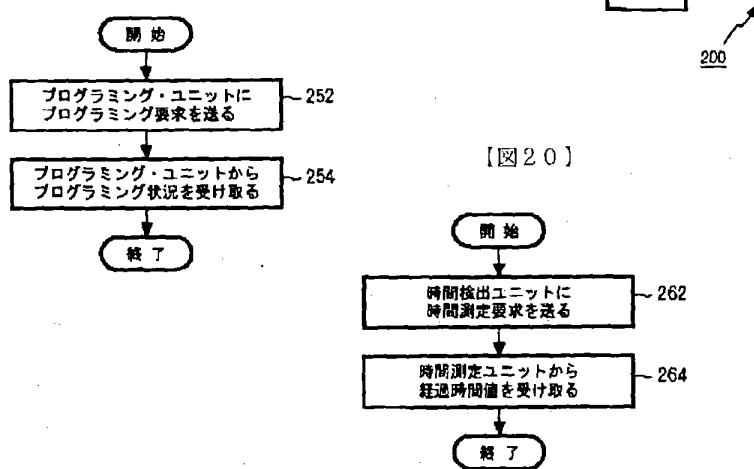
【図11】



【図18】



【図19】



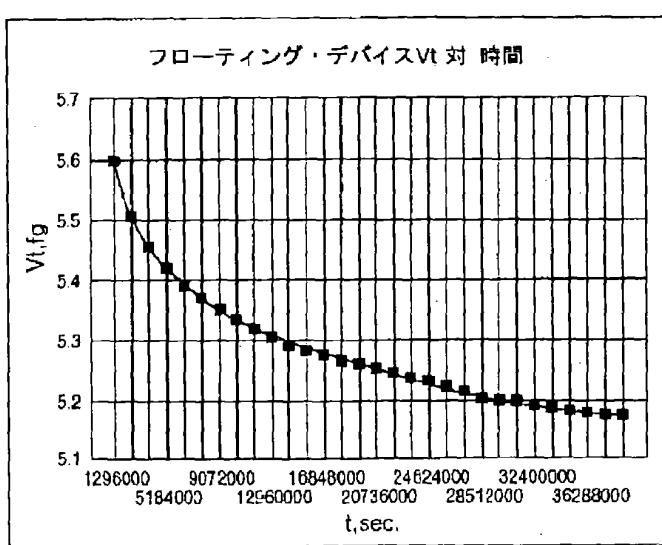
【図12】

タイム・セル保持特性の計算

q0, C	m0, kg	kb, J/K	h, J·s	hb, J·s	秒数	期間
1.6022E-019	9.1055E-031	1.38052E-023	6.62617E-034	*****	2592000	1ヶ月
					5184000	2ヶ月
					7776000	3ヶ月
b0,eV(アリア) e1		mr, 有効質量比		T, K度	*****	4ヶ月
2.8		3.9	0.5	300	*****	5ヶ月
C	b				*****	6ヶ月
1.0630E-006	2.3854E+008				*****	7ヶ月
					*****	8ヶ月
					*****	9ヶ月
					*****	10ヶ月
					*****	11ヶ月
					*****	12ヶ月
Lig um	0.6000	フローティング・ゲート・デバイスのチャンネル長			*****	13ヶ月
Wfg um	1000.0000	フローティング・ゲート・デバイスのチャンネル幅			*****	14ヶ月
Hfg um	0.0900	フローティング・ゲート・ポリシリコン側の厚さ			*****	15ヶ月
Wrx um	0.5000	フローティング・ゲートがオーバーラップする浅いトレンチ分離の幅			*****	16ヶ月
Tlunox A	65	トンネル酸化物厚さ				
Tono A	190	表面結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-酸化物界面の厚さ				
Tswox A	300	側壁結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-酸化物界面の厚さ				
Xld um	0.0500	フローティング・ゲート MOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
Xis um	0.3500	フローティング・ゲートがオーバーラップするソース領域の長さ				
Aln1 um2	0.0438	フローティング・ゲート電荷をリセットするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリア				
Cfc IF	1089.5358	フローティング・ゲートとコントロール・ゲートとの間のキャパシタンス				
Cfs IF	0.5308	フローティング・ゲートとクリコン蓋板との間のキャパシタンス				
Cld IF	0.1327	フローティング・ゲートとドレインとの間のキャパシタンス				
Cls IF	0.9288	フローティング・ゲートとソースとの間のキャパシタンス				
Ctg IF	1091.1281	全フローティング・ゲート・キャパシタンス				
Cr,W	0.9985	コントロール・ゲートとフローティング・ゲートとの結合比				
Cr,src	0.0009	ソース結合とフローティング・ゲートとの結合比				
Vt,fp V	0.90	フローティング・ゲート MOSFETのしきい値電圧				
Verase	0.00	ソースに印加される消去電圧(ここでは使用しない、せ口に設定する)				
Vg,ini	-5.00	初期フローティング値電圧				
Va	0.00	実験の消去電圧(フローティング上に蓄積された電荷+印加されたものに等しい)				
S	2.93E+013	フローティング・ゲート「消去」方法式内の導出パラメータ				
X	1.56E+011	フローティング・ゲート「消去」方法式内の導出パラメータ				

【図13】

t, sec	Vt, fp
0.00001	5.909
1296000	5.696
2592000	5.508
3888000	5.456
5184000	5.420
6460000	5.392
7776000	5.369
9072000	5.349
*****	5.334
*****	5.318
1.3E+007	5.305
*****	5.293
*****	5.283
*****	5.273
*****	5.264
*****	5.256
*****	5.248
2.2E+007	5.240
*****	5.234
*****	5.227
*****	5.221
*****	5.215
*****	5.210
*****	5.204
*****	5.199
*****	5.195
*****	5.190
3.5E+007	5.185
*****	5.181
*****	5.177
*****	5.173



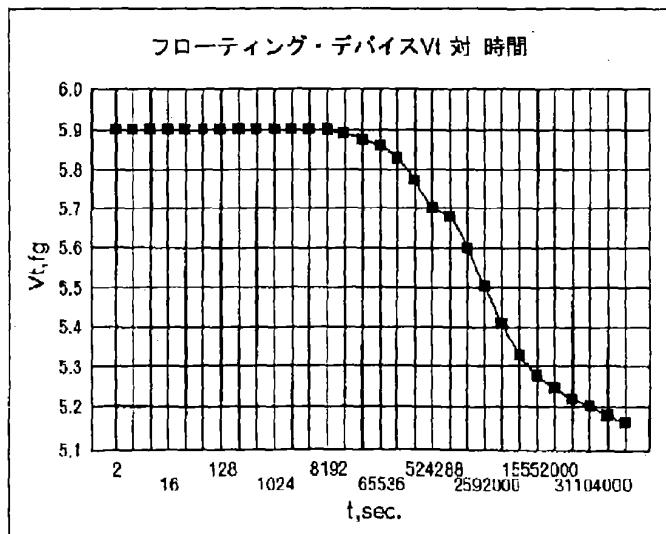
【図14】

タイム・セル保持特性の計算

	$in0, K_0$	$Kb, J/K$	$h, J-s$	$hb, J-s$	秒数	期間
a0, C	1.6022E-019	9.1035E-031	1.38062E-023	6.62617E-034	60	1分
					3600	1時間
					86400	1日
b0,eV(バリア)	2.9	mr, 有効質量比		T, K度	604800	1週間
		3.9	0.5	300	1209600	2週間
C	b				2592000	1ヶ月
	1.0530E-006	2.2854E+008			5104000	2ヶ月
					10368000	4ヶ月
					15552000	6ヶ月
					20736000	8ヶ月
					25920000	10ヶ月
Hg.um	0.6000	フローティング・ゲート・デバイスのチャンネル長			31104000	12ヶ月
Wf0.um	1000000	フローティング・ゲート・デバイスのチャンネル幅			36288000	14ヶ月
Hf0.um	0.0000	フローティング・ゲート・ポリシリコン導体の長さ			41472000	16ヶ月
Wn.um	0.5000	フローティング・ゲートがオーバーラップする長いトレンチ分離の幅				
Thnox.A	65	トレンチ絶縁物厚さ				
Ton0.A	190	移動させるためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-多孔質電極の厚さ				
Tswok.A	300	移動させるためのフローティング・ゲートとコントロール・ゲートとの間の側壁絶縁物の厚さ				
Xld.um	0.0500	フローティング・ゲート-MOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
Xls.um	0.3500	フローティング・ゲート・ポリシリコン導体の長さ				
Ainj.um2	0.0438	フローティング・ゲート電荷をリセットするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリプ				
Cfc.IF	1009.5358	フローティング・ゲートとコントロール・ゲートとの間のキャパシタンス				
Cfs.IF	0.5308	フローティング・ゲートとシリコン基板との間のキャパシタンス				
Cld.IF	0.1327	フローティング・ゲートとドレインとの間のキャパシタンス				
Cls.IF	0.9288	フローティング・ゲートとソースとの間のキャパシタンス				
Clq.IF	1091.1281	全フローティング・ゲート・キャパシタンス				
Cr.wi	0.9985	コントロール・ゲートとフローティング・ゲートとの結合比				
Cr,sw	0.0009	ソース接合とフローティング・ゲートとの結合比				
Vt,ig.V	0.90	フローティング・ゲート-MOSFETのしきい値電圧				
Vrse	0.00	ソースに印加される漏電電圧(ここでは使用しない、ゼロに設定する)				
Vig,ini	-5.00	初期フローティング電荷電圧				
Vb	0.00	実験の漏電電圧(フローティング上に蓄積された電荷+印加されたものに等しい)				
S	2.93E+013	フローティング・ゲート「消失」方程式内の繋り(ラメータ)				
X	1.56E+011	フローティング・ゲート「消失」方程式内の繋り(ラメータ)				

【図15】

t, sec	Vt, fg
0.00001	5.909
2	5.909
4	5.909
8	5.909
16	5.909
32	5.909
64	5.909
128	5.909
256	5.908
512	5.908
1024	5.908
2048	5.907
4096	5.905
8192	5.902
16384	5.895
32768	5.883
65536	5.861
131072	5.824
262144	5.771
524288	5.702
1048000	5.686
2096000	5.604
4192000	5.508
8384000	5.420
16768000	5.333
33536000	5.283
67072000	5.248
134144000	5.221
268288000	5.199
536576000	5.181
1073152000	5.166

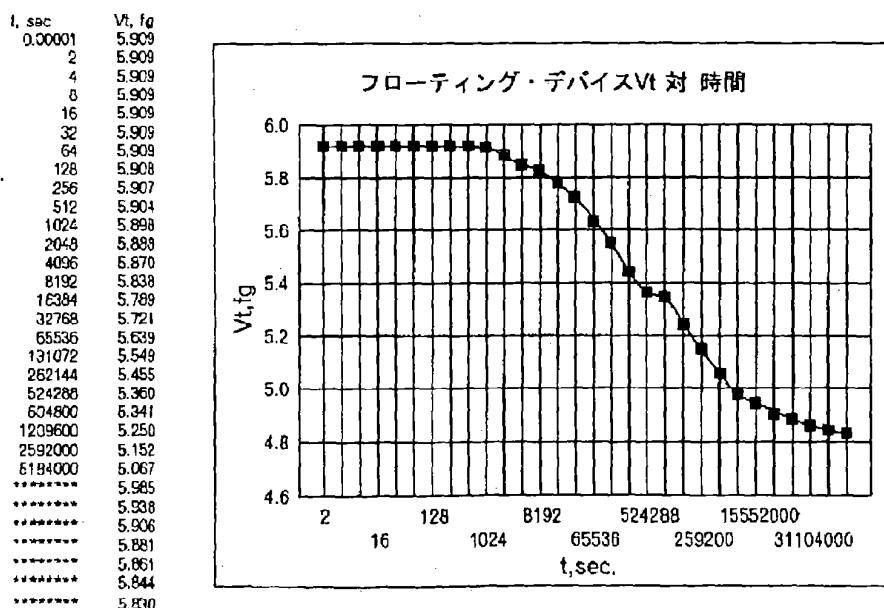


【図16】

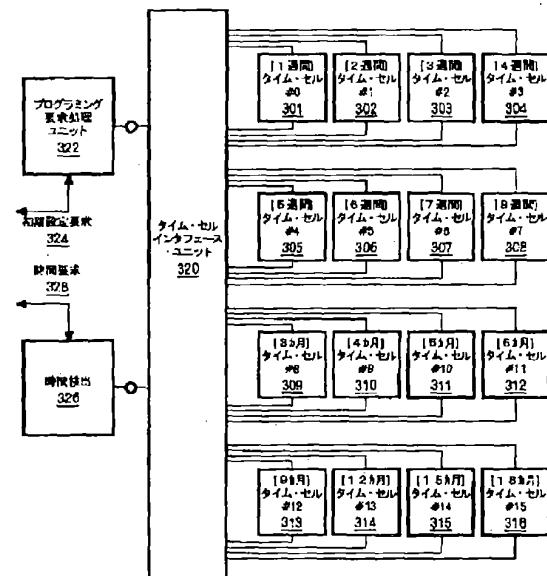
タイム・セル保持特性の計算

					秒数	時間
m_0, C	m_0, kg	$kb, J/K$	$h, J.s$	$hb, J.s$	60	1分
1.6022E-019	9.1095E-031	1.38062E-023	6.62617E-034	*****	3600	1時間
$b0, aV(\text{エリヤ})$	$c1$	$mr, \text{有効質量比}$	$T, K度$		86400	1日
2.3		0.5			604800	1週間
C	b			300	1209600	2週間
1.0630E-006	2.3854E+008				2592000	1ヶ月
					5184000	2ヶ月
					*****	4ヶ月
					*****	6ヶ月
					*****	8ヶ月
					*****	10ヶ月
$L_{tg, um}$	0.6000	フローティング・ゲート・デバイスのチャンネル長			*****	12ヶ月
$W_{tg, um}$	1000.0000	フローティング・ゲート・デバイスのチャンネル幅			*****	14ヶ月
$H_{tg, um}$	0.0900	フローティング・ゲート・ポリシリコン電極の厚さ			*****	16ヶ月
$W_{rx, um}$	0.5000	フローティング・ゲートがオーバーラップする高いトレンチ分離の幅				
$T_{tunox, A}$	60	トンネル化物層厚さ				
$T_{ono, A}$	190	電極結合のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-酸化物-酸化物電極の厚さ				
$T_{tunox, A}$	300	開槽面のためのフローティング・ゲートとコントロール・ゲートとの間の酸化物-酸化物の厚さ				
$X_{ld, um}$	0.0500	フローティング・ゲートMOSFETにおいてフローティング・ゲートがオーバーラップするドレイン領域の長さ				
$X_{rs, um}$	0.3500	フローティング・ゲートとMOSFETにおいてフローティング・ゲートがオーバーラップするソース領域の長さ				
$Al_{nj, um2}$	0.0438	フローティング・ゲート背きリセツトするためのフローティング・ゲートとソースとの間の電子トンネル効果領域のエリヤ				
$C_{lc, IF}$	1089.5358	フローティング・ゲートとコントロール・ゲートとの間のキャパシタンス				
$C_{lx, tf}$	0.5750	フローティング・ゲートシリコン基板との間のキャパシタンス				
$C_{ld, IF}$	0.1438	フローティング・ゲートとドレインとの間のキャパシタンス				
$C_{ls, IF}$	0.0063	フローティング・ゲートとソースとの間のキャパシタンス				
$C_{lg, IF}$	1091.2608	全フローティング・ゲート・キャパシタンス				
Cr, W	0.5934	コントロール・ゲートとフローティング・ゲートとの結合比				
Cr, rs	0.0009	ソース接合とフローティング・ゲートとの結合比				
$V_{t, lg, V}$	0.90	フローティング・ゲートMOSFETのしきい値電圧				
$V_{t, rs, se}$	0.00	ソースに印加される漏出電圧 (ここでは使用しない, ゼロに設定する)				
$V_{t, lg, ini}$	5.00	初期フローティング値電圧				
V_2	0.00	実際の漏出電圧 (フローティング上に印加された電荷+印加されたものに等しい)				
S	2.70E+012	フローティング・ゲート「漏出」方程式内の導出パラメータ				
X	1.09E+011	フローティング・ゲート「漏出」方程式内の導出パラメータ				

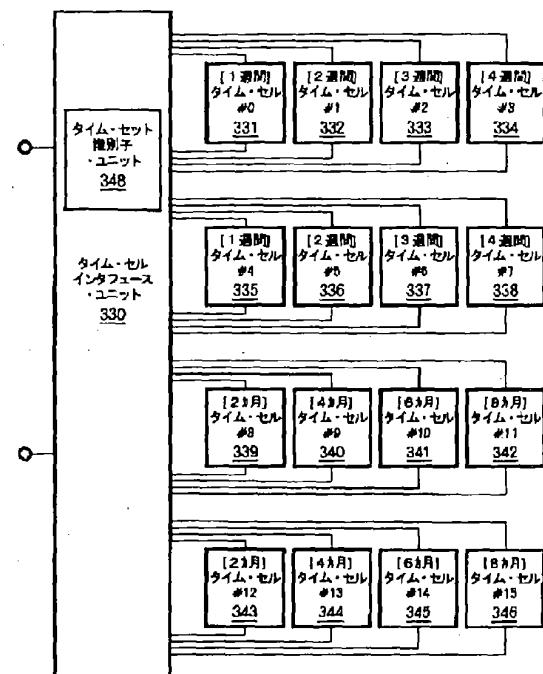
【図17】



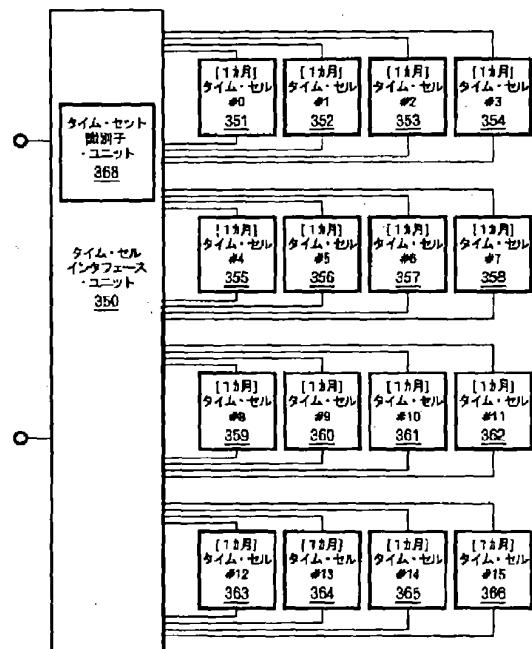
【図21】



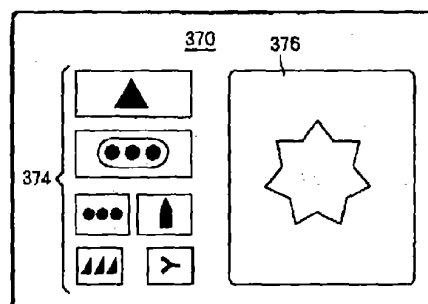
【図22】



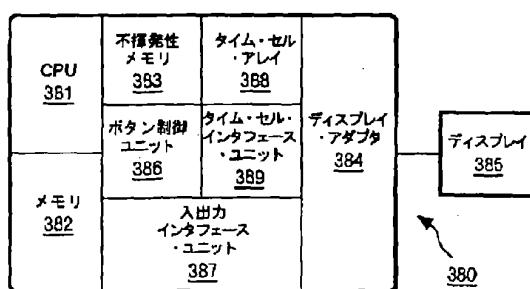
【図23】



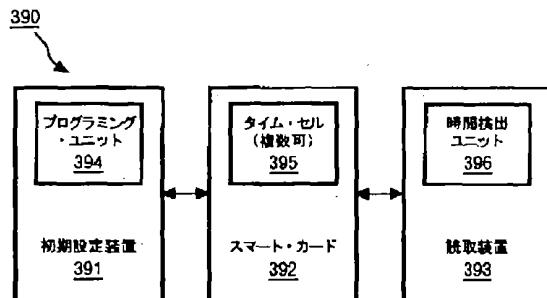
【図24】



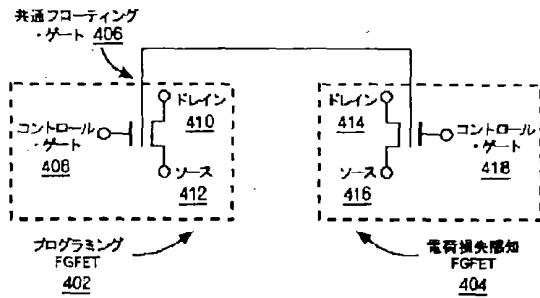
【図25】



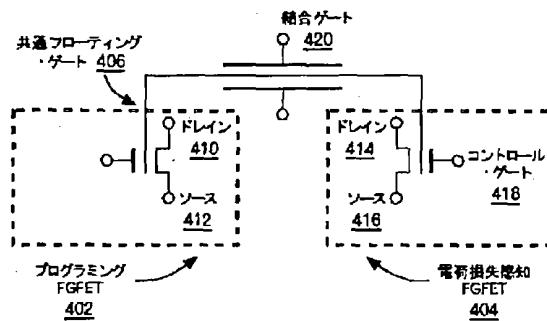
【図26】



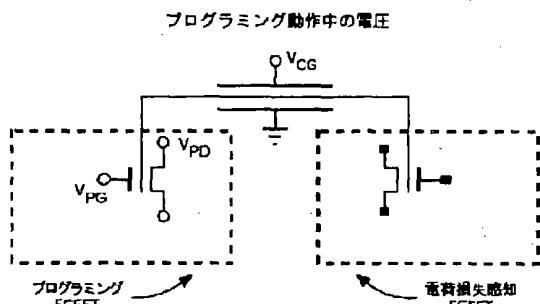
【図27】



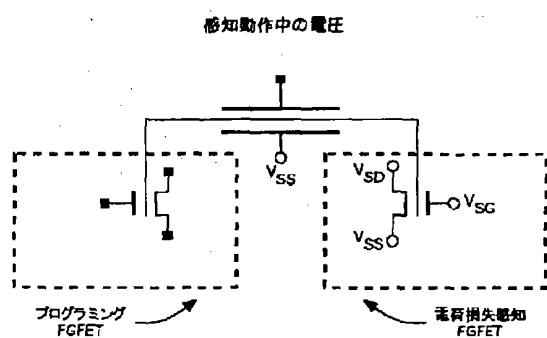
【図28】



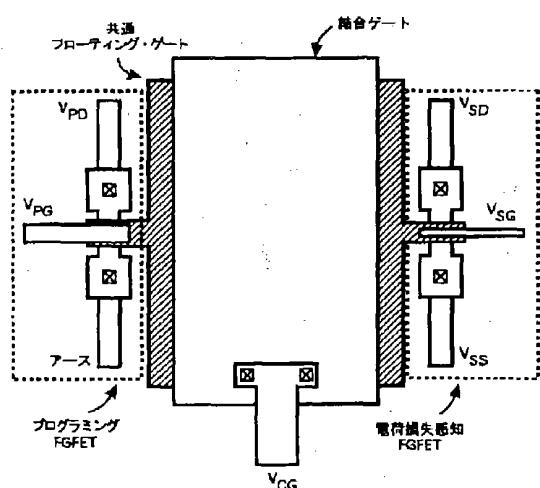
【図29】



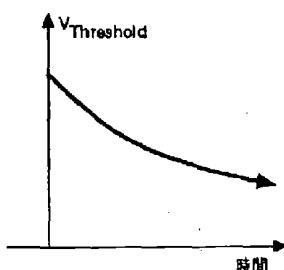
【図30】



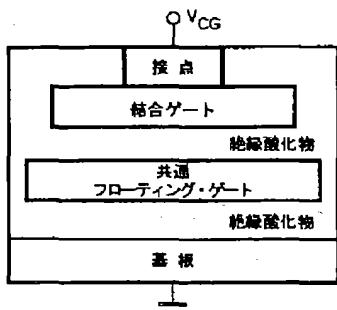
【図31】



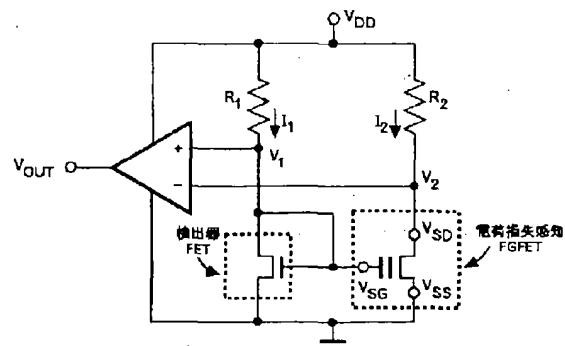
【図34】



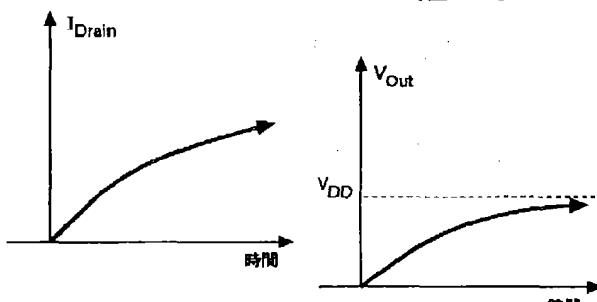
【図32】



【図33】

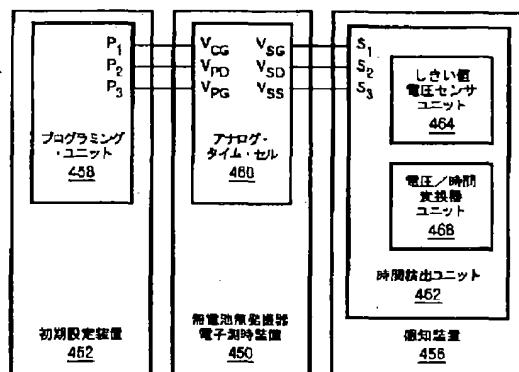


【図35】

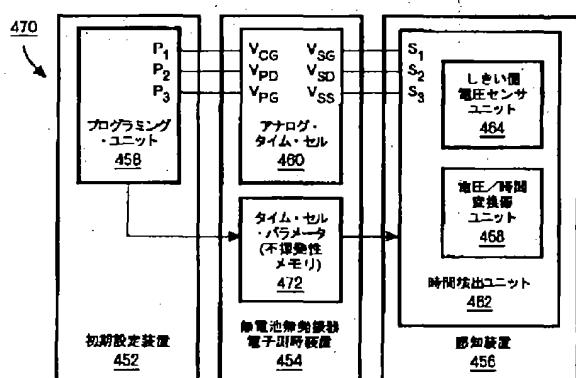


【図36】

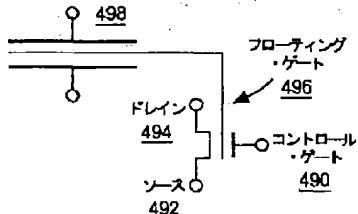
【図37】



【図38】

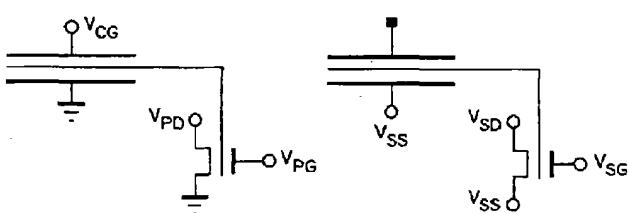


【図39】

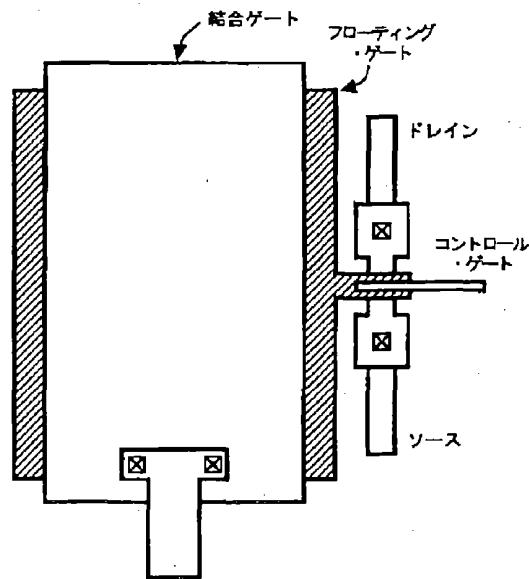


【図40】

【図41】



【図42】



フロントページの続き

(72)発明者 ピクタース・バースティス
アメリカ合衆国78746 テキサス州オース
チン キュエスタ・バーデス 5104

(72)発明者 ピーター・ジャーゲン・クリム
アメリカ合衆国78746 テキサス州オース
チン サイブルス・ポイント・イースト
2305

(72)発明者 チャン・ラム
アメリカ合衆国05495 バーモント州ヴィ
リストン アスター・レーン 61
Fターム(参考) 2F085 AA00 CC10 EE08 FF04 GG00
5J055 AX44 AX60 BX29 CX27 DX12
EX07 EX21 EY16 EZ00 EZ29
EZ39